

PCI ボード 開発用ボード G-PCI3 ハード仕様書

第一版
第2版

1999/11/27
2005.10/5 Win2000/XP の記述追加

株式会社 **フアード**

東京都府中市緑町 3-8-2 新東邦ビル 4 F

www2.ocn.ne.jp/~fird

fird@coral.ocn.ne.jp

T E L 042-362-5072

F A X 042-369-8026

目	次
1 . 品名	2
2 . 目的	2
3 . 構成	2
4 . 概略ブロック図	3
5 . アドレスマップ	4
6 . I / O 詳細	5
6 - 1 . モードレジスタ	5
6 - 2 . マスタ転送アドレス	6
6 - 3 . マスタ転送バイト数	7
6 - 4 . マスタコントロールレジスタ	8
6 - 5 . 汎用 I / O レジスタ	9
6 - 6 . 割り込みマスクレジスタ	10
6 - 7 . 割り込みステータスレジスタ	11
6 - 8 . マスタ転送コントロールステータスレジスタ	12
7 . 外部コネクタ信号表	13
8 . F P G A (メモリ) 間の信号名 (端子名) 説明	14
8 - 1 . ターゲットアクセス	14
8 - 2 . マスタ転送	14
8 - 3 . クロック	15
8 - 4 . 汎用 I/O	15
9 . 開発 F P G A のピン番号	17
9 - 1 . F P G A 1	17
9 - 2 . F P G A 2	21
10 . 信号レベル	25
11 . タイミングチャート	26
11 - 1 . ターゲット動作	26
11 - 2 . マスター動作	27
12 . 搭載部品	28
13 . コンフィギュレーション	28
14 . 開発 F P G A のピンアサイン	28
15 . 電源電圧	28
16 . サイズおよび使用コネクタ	29

1. 品名

G-PCI3 ボード

2. 目的

PCI対応基板の開発をよりスピーディーに行うためのボードです。
搭載してあるPCI I/FのFPGAはマスタ動作可能なPCIコアがすでに書き込まれています。
お客様は、PCI以外の開発部分の設計にのみ時間をかけられます。

3. 構成

PCI専用FPGA1つと、開発用に2つ、それと高速メモリが4Mバイト搭載されています。

また、外部とのインターフェース用にコネクタが搭載されています。

Windows 95/98/Me/NT/2000/XPのサンプルドライバソフトとそれを使用したテストプログラムを添付しております。

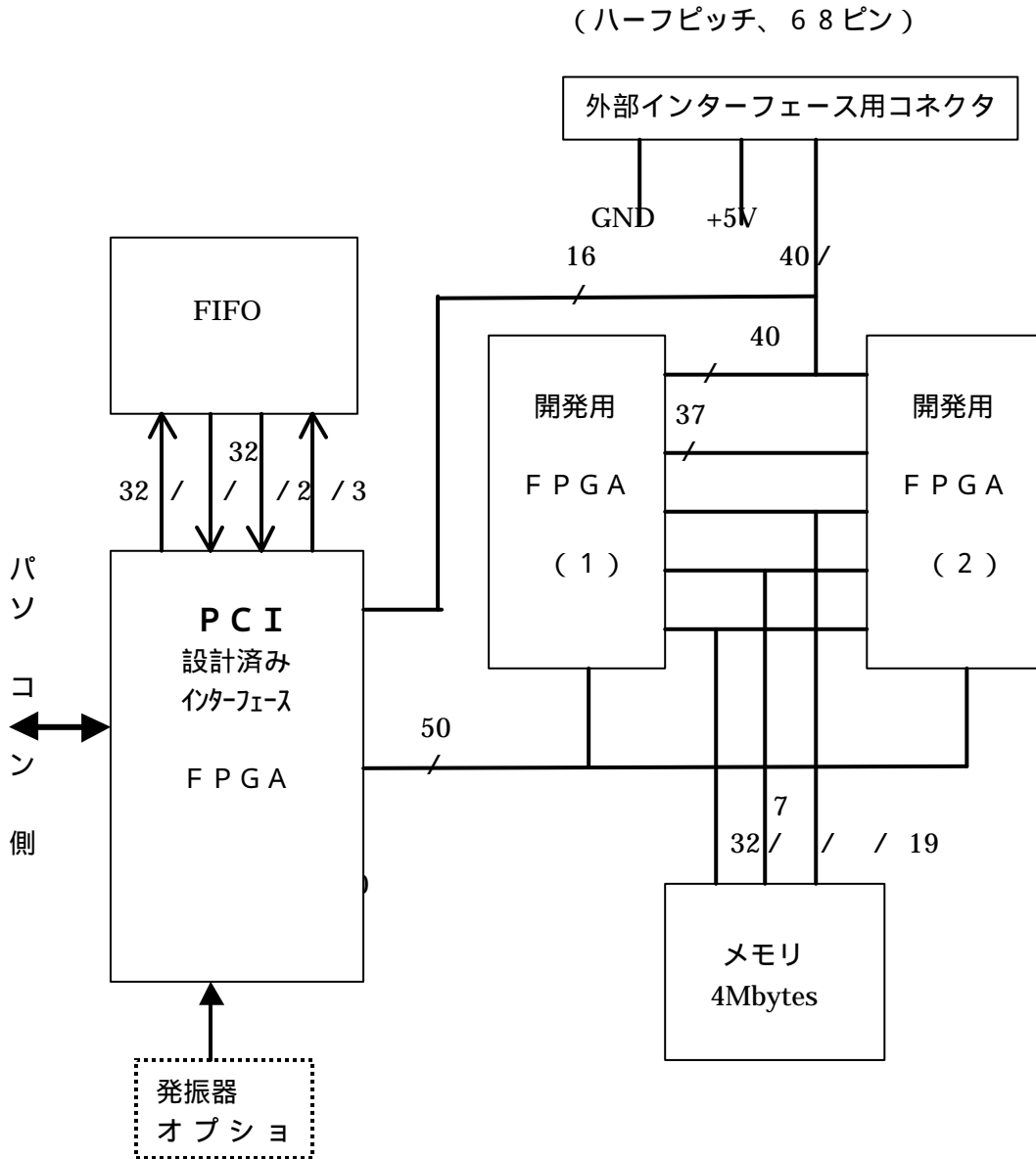
その場合開発用FPGA1、2にはサンプルFPGAプログラムをバイトブラスターを使用し、FPGAにダウンロードして行う。

詳細については、テストプログラム説明書を参照してください。

注1) 開発用FPGA(1)と(2)は、Altera社EPF10K30、50、100から搭載部品選択可能です。

注2) 各FPGA間に共通に接続されている信号線がありますので、出力信号が衝突しないよう設計時は充分考慮して下さい。

4. 概略ブロック図



- 注 1) 開発用 FPGA(1)と(2)は、Altera 社 EPF10K30、50、100 から搭載部品選択可能です。
- 注 2) 各 FPGA 間に共通に接続されている信号線がありますので、出力信号が衝突しないよう設計時は充分考慮して下さい。
- 注 3) 発振器は、開発 FPGA 1、2 に供給するクロックで、PCI クロック (33MHz) か、この発振器かを PCI-FPGA で選択する。
なお、この発振器はオプションで出荷時は、搭載されていない。

5. アドレスマップ

I/Oアドレス (PCI I/F FPGAに割り当て)

I/O BaseAddress	31	0
+00h	動作モードレジスタ	
+04h	PCI転送アドレス	
+08h	PCI転送バイト数	
+0ch	マスタコントロール	
+10h	汎用I/Oレジスタ	
+14h	割り込みマスクレジスタ	
+18h	割り込みステータスレジスタ	
+1ch	転送コントロールステータス	

(注) I/O+40~7FまでPCIコンフィグ・レジスタに割り当てられている。

メモリアドレス (開発用FPGA1, 2に割り当て)

Memory BaseAddress	
+00h	
メモリ領域 256バイト	
+ffh	
+100h	
未使用領域	
+ffffh	

(注) PCIとしては、メモリ領域を1Mバイト確保しているが、使用するのは、256バイトのみである。
また、この領域は開発FPGA1, 2共通なので
アドレス(LA2~7)をデコードして、それぞれに振り分ける必要がある。

6. I/O詳細

6-1. モードレジスタ

(+00h) R/W

ビット	名称	内容	備考
31 : : 8			
7 6 5 4		未使用	
3	CLKSEL	供給クロック選択 0:33MHz、1:発振器	OCLK 選択
2	IODIR1	汎用 I/O IODA[15..8]の方向制御	0:入力、1:出力
1	IODIR0	" IODA[7..0]の方向制御	
0	M/T	マスタ/ターゲットアクセス制御	0:ターゲット、1:マスタ

(注) 1. M/Tでターゲット制御時は、PCI-FPGA を通してPCとのメモリR/Wを行い、マスタ制御時は、PCI-FPGA を通してPCとのバーストメモリ転送を行う。

2. マスタ動作時、ターゲットアクセスは、出来ないので必要なステータス等は、汎用I/Oを利用し、PCI-PGAのI/Oアクセス(IODA0~15)で行う。

3. 供給クロック(OCLK)選択は、0:PCIクロック、1:ボード上の発振器
(出荷時搭載されない)

6 - 2 . マスタ転送アドレス
(+ 0 4 h) R/W

ビット	名称	内容	備考		
31	A31	マスタ転送時の P C の物理アドレスを設定する。 ダブルワードアクセスなので A0,A1 は、使用しない。(= 0)			
30	A30				
29	A29				
28	A28				
27	A27				
26	A26				
25	A25				
24	A24				
23	A23				
22	A22				
21	A21				
20	A20				
19	A19				
18	A18				
17	A17				
16	A16				
15	A15				
14	A14				
13	A13				
12	A12				
11	A11				
10	A10				
9	A9				
8	A8				
7	A7				
6	A6				
5	A5				
4	A4				
3	A3				
2	A2				
1	0			未使用 (= 0)	
0	0				

6 - 3 . マスタ転送バイト数
(+ 0 8 h) R/W

ビット	名称	内容	備考
31		未使用	
30			
29			
28			
27			
26			
25			
24			
23			
22			
21	C21	マスタ転送時のバイト数を設定する。 4バイト単位(ダブルワード)なので C0,1は、使用しない。 1度の転送で、最大4Mバイト設定 できる。 設定は、 <u>転送バイト数 - 4</u> にする事。	
20	C20		
19	C19		
18	C18		
17	C17		
16	C16		
15	C15		
14	C14		
13	C13		
12	C12		
11	C11		
10	C10		
9	C9		
8	C8		
7	C7		
6	C6		
5	C5		
4	C4		
3	C3		
2	C2		
1	0	未使用 (= 0)	
0	0		

6 - 4 . マスタコントロールレジスタ (+ 0 c h) R/W

ビット	名称	内容	備考
31 : : 8		ビット 31 ~ 8 : 未使用	
7	MSTSTT	マスタスタート 1:スタート、0:強制ストップ	
6 5 4 3 2 1		ビット 6 ~ 1 : 未使用	
0	MSTDIR	マスタ転送方向 0:リード、1:ライト	PC から見た方向

(注) MSTDIR : 0 : PCI (PC) 開発 F P G A (リード)
 1 : " " (ライト)

MSTSTT : 1 : スタート
 0 : ストップ

このビットは、転送が終了すると " 0 " になる。

6 - 5 . 汎用 I / O レジスタ (+ 1 0 h) R/W

ビット	名称	内容	備考	
31 : : 16		ビット 31 ~ 16 : 未使用		
15 14 13 12 11 10 9 8	IODA15 IODA14 IODA13 IODA12 IODA11 IODA10 IODA9 IODA8	汎用 I / O でバイト単位で入出力を設定出来る。(モードレジスタのビット 1,2) また、IODA0、1 は、汎用割り込みとして使用できる。 その場合 IODA0 ~ 7 を入力モードにして割り込みマスクレジスタを制御して使用する。		
7 6 5 4 3 2	IODA7 IODA6 IODA5 IODA4 IODA3 IODA2			
1 0	IODA1 IODA0			割り込みとして使用可能。

(注) 割り込みとして使用する場合、たち下がリエッジを検出して割り込みとする。
しかし、検出は 33MHz クロック (PCI) を使用しているため、
30ns 以下のパルスには、応答できない。

6 - 6 . 割り込みマスクレジスタ
(+ 1 4 h) R/W

ビット	名称	内容	備考
31 : : 16		ビット 31 ~ 16 : 未使用	
15		未使用	
14	REQICR	REQ 割り込みステータスクリア	いずれも 1:クリア (パルス状)
13	STPICR	強制終了 "	
12	ENDICR	正常終了 "	
11 10		ビット 11 ~ 10 : 未使用	
9	IODICR1	汎用 I/O 割り込みステータスクリア	
8	IODICR0		
7		未使用	
6	REQMSK	REQ 割り込みマスク	マスクはいずれも 1:マスク、0:解除
5	STPMSK	強制終了 "	
4	ENDMSK	正常終了 "	
3 2		未使用	
1	IODM1	汎用 I / O 割り込みマスク	
0	IODM0		

6 - 7 . 割り込みステータスレジスタ (+ 1 8 h) R

ビット	名称	内容	備考
31 : : 8		ビット 31 ~ 8 : 未使用	
7	INT	割り込み要求ステータス	いずれも 1:割り込みあり。
6	REQIS	REQ 割り込みステータス	
5	STPIS	強制終了 "	
4	ENDIS	正常終了 "	
3 2		未使用	
1	IODS1	汎用 I / O 割り込みステータス	
0	IODS0		

- (注) 1 . 割り込みステータスは、割り込みマスクに影響されない。
 2 . INT は、割り込みマスクが解除されているビットがセットされている論理和で出力される。
 よって、2 要因が割り込みしているとき、1 要因のみクリアしても、INT はクリアされない。
 この INT は、P C I バス上の割り込み信号と同等である。(極性が逆)

6 - 8 . マスタ転送コントロールステータスレジスタ
(+ 1 c h) R

ビット	名称	内容	備考
31 : : 8		ビット 31 ~ 8 : 未使用	
7	MSTBSY	マスタビジーフラグ 1:動作中 0:エンド	
6		未使用	
5	ACK	PCI - FPGA と開発 FPGA との コミュニケーション信号で、H/W そのままの入力 信号である。(論理は、逆)	全て正論理 1:アクティブ
4	REQ		
3	ENB_W		
2	VLD_W		
1	ENB_R		
0	VLD_R		

(注) MSTBSY=1 の時、マスタ転送動作中なので、ターゲットアクセスはしないこと。
(M / T をターゲットにしない。)

7. 外部コネクタ信号表

ピン番号	信号名	ピン番号	信号名
1	IODA0	3 5	IODA1
2	IODA2	3 6	IODA3
3	IODA4	3 7	IODA5
4	IODA6	3 8	IODA7
5	GND	3 9	GND
6	IODA8	4 0	IODA9
7	IODA10	4 1	IODA11
8	IODA12	4 2	IODA13
9	IODA14	4 3	IODA15
1 0	GND	4 4	GND
1 1	IODA16	4 5	IODA17
1 2	IODA18	4 6	IODA19
1 3	IODA20	4 7	IODA21
1 4	IODA22	4 8	IODA23
1 5	GND	4 9	GND
1 6	IODA24	5 0	IODA25
1 7	IODA26	5 1	IODA27
1 8	IODA28	5 2	IODA29
1 9	IODA30	5 3	IODA31
2 0	GND	5 4	GND
2 1	IODA32	5 5	IODA33
2 2	IODA34	5 6	IODA35
2 3	IODA36	5 7	IODA37
2 4	IODA38	5 8	IODA39
2 5	GND	5 9	GND
2 6	未接続	6 0	未接続
2 7	"	6 1	"
2 8	"	6 2	"
2 9	"	6 3	GND
3 0	+5V	6 4	GND
3 1	+5V	6 5	GND
3 2	+5V	6 6	GND
3 3	+5V	6 7	GND
3 4	+5V	6 8	GND

(注) 信号 IODA0 ~ 39 の信号は、P C I - F P G A の設定及び、
開発 F P G A 1 , 2 の設計により、入力 / 出力が、プログラマブルに出来る。
また、IODA0、1 は、割り込みとして使用できる。

・コネクタ仕様

外部インターフェース用コネクタ

基板側	第一電子工業社製	DHA - RA68 - R131N
外部ケーブル側	第一電子工業社製	DHA - PC68 - 3G - HPD10

8. FPGA (メモリ) 間の信号名 (端子名) 説明

(注) コントロール信号は、すべて負論理 ($\bar{n}XXXX$)

8-1. ターゲットアクセス

端子名	内容	方向	
		PCI-FPGA	開発 FPGA1、2
nSTRB_R	ターゲット・リード ストローブ		
nSTRB_W	ターゲット・ライト "		
LA2~7	ターゲット・アクセス アドレス		
DAT0~31	データ リード " ライト		

8-2. マスタ転送

(1) 共通

端子名	内容	方向	
		PCI-FPGA	開発 FPGA1、2
nREQ	転送要求		
nACK	転送許可		

(2) マスタ転送ライト時

端子名	内容	方向	
		PCI-FPGA	開発 FPGA1、2
nVLD_W	データ出力有効		
nENB_W	データ入力有効		
DAT0~31	データ		
CLK_W	転送クロック		

(注) CLK_W は、PCI クロック / 2 (16.5MHz) が出力される。

(3) マスタ転送リード時

端子名	内容	方向	
		PCI-FPGA	開発 FPGA1、2
nVLD_R	データ出力有効		
nENB_R	データ入力有効		
DAT0~31	データ		
CLK_R	転送クロック		

(注) 転送クロック CLK_R は、常時 FPGA 1 か 2 から出力し、
周波数は、16.5MHz 以下にしてください。

8 - 3 . クロック

端子名	内容	方向
		PCI-FPGA 開発 FPGA1、2
OCLK	供給クロック	

(注) クロックの周波数は、PCIクロック(33MHz)か、ボード上の発振器かの選択による。

8 - 4 . 汎用 I/O

(1) 汎用 I/O その1

端子名	内容	方向
IODA0 ~ 15	汎用 I/O	PCI-FPGA ← → 開発 FPGA1、2 ↓ 外部コネクタ

(注) 方向は、PCI-FPGA の設定及び開発 FPGA の設計による。
また、IODA0、1 は汎用 I/O 割り込みとしても利用できる。

(2) 汎用 I/O その2

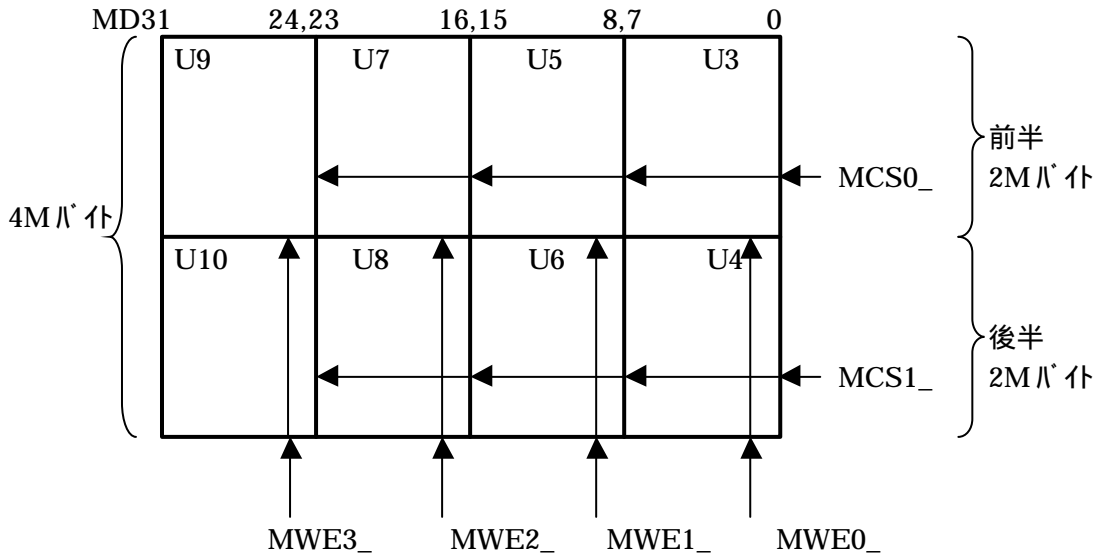
端子名	内容	方向
IODA16 ~ 39	汎用 I/O	外部コネクタ ← → 開発 FPGA1、2

(注) 方向は、PCI-FPGA の設定及び開発 FPGA の設計による。

8 - 5 . メモリ (開発 FPGA1、2 に共通に接続)

端子名	内容	備考
MA0 ~ 18	メモリアドレスバス	ダブルワードアドレス
MD0 ~ 32	メモリデータバス	
MCS0_	チップセレクト (前半 2 M バイトセレクト)	
MCS1_	" (後半 2 M ")	
MWE0_	ライトパルス (0 バイト目のライト)	
MWE1_	" (1 バイト目 ")	
MWE2_	" (2 バイト目 ")	
MWE3_	" (3 バイト目 ")	
MOE_	出力イネーブル (全メモリ共通)	

- (注) 1 . 信号名の "_" (アンダーバー) は、負論理を示す。(アクティブ LOW)
 2 . 上記の信号は、開発 F P G A 1、2 に共通に接続されているが、F P G A のピン番号が、違います。
 3 . メモリ素子は、8 素子あります。以下に接続ブロックを示します。



・ MA0 ~ 18 と MOE_ は、全ての素子に接続されている。

9. 開発FPGAのピン番号

サンプルPLDのACFファイルを添付します。
そのファイルからピン番号をコピーし、使用してください。

¥sample-pld¥gpci3f1.acf (FPGA 1用)

" ¥gpci3f2.acf (FPGA 2用)

9-1. FPGA 1

(1) 汎用I/O (IODA39~0)

信号名	ピン番号	信号名	ピン番号
IODA39	144	IODA19	169
IODA38	146	IODA18	171
IODA37	147	IODA17	172
IODA36	148	IODA16	173
IODA35	149	IODA15	174
IODA34	151	IODA14	175
IODA33	152	IODA13	181
IODA32	153	IODA12	182
IODA31	154	IODA11	183
IODA30	156	IODA10	184
IODA29	157	IODA9	185
IODA28	158	IODA8	186
IODA27	159	IODA7	187
IODA26	161	IODA6	188
IODA25	162	IODA5	190
IODA24	163	IODA4	191
IODA23	164	IODA3	192
IODA22	166	IODA2	193
IODA21	167	IODA1	194
IODA20	168	IODA0	195

(2) SRAMコントロール

信号名	ピン番号
MOE_	31
MCS1_	13
MCS0_	12
MWE3_	18
MWE2_	17
MWE1_	15
MWE0_	14

(3) S R A M アドレス (MA18~0)

信号名	ピン番号	信号名	ピン番号
MA18	36	MA8	23
MA17	35	MA7	21
MA16	34	MA6	20
MA15	33	MA5	19
MA14	30	MA4	11
MA13	29	MA3	9
MA12	28	MA2	8
MA11	26	MA1	7
MA10	25	MA0	6
MA9	24		

(4) S R A M データ (MD31~0)

信号名	ピン番号	信号名	ピン番号
MD31	78	MD15	56
MD30	76	MD14	55
MD29	75	MD13	54
MD28	74	MD12	53
MD27	73	MD11	51
MD26	72	MD10	50
MD25	71	MD9	49
MD24	70	MD8	48
MD23	68	MD7	46
MD22	67	MD6	45
MD21	66	MD5	44
MD20	65	MD4	43
MD19	64	MD3	41
MD18	63	MD2	40
MD17	62	MD1	39
MD16	61	MD0	38

(5) 汎用 I / O (IO36~0)

信号名	ピン番号	信号名	ピン番号
IO36	196	IO17	221
IO35	198	IO16	222
IO34	199	IO15	223
IO33	200	IO14	225
IO32	201	IO13	226
IO31	202	IO12	227
IO30	203	IO11	228
IO29	204	IO10	229
IO28	206	IO9	230
IO27	207	IO8	231
IO26	208	IO7	233
IO25	209	IO6	234
IO24	213	IO5	235
IO23	214	IO4	236
IO22	215	IO3	237
IO21	217	IO2	238
IO20	218	IO1	239
IO19	219	IO0	240
IO18	220		

(6) ターゲット / マスタ・データ (DAT31~0)

信号名	ピン番号	信号名	ピン番号
DAT31	102	DAT15	120
DAT30	103	DAT14	126
DAT29	105	DAT13	127
DAT28	106	DAT12	128
DAT27	107	DAT11	129
DAT26	108	DAT10	131
DAT25	109	DAT9	132
DAT24	110	DAT8	133
DAT23	111	DAT7	134
DAT22	113	DAT6	136
DAT21	114	DAT5	137
DAT20	115	DAT4	138
DAT19	116	DAT3	139
DAT18	117	DAT2	141
DAT17	118	DAT1	142
DAT16	119	DAT0	143

(7) マスタ転送コントロール

信号名	ピン番号
CLK_W	79
CLK_R	80
nVLD_W	81
nENB_W	82
nVLD_R	83
nENB_R	84
nACK	86
nREQ	87

(8) ターゲットコントロール

信号名	ピン番号
nSTRB_W	88
nSTRB_R	94
LA7	95
LA6	97
LA5	98
LA4	99
LA3	100
LA2	101

(9) 供給クロック

信号名	ピン番号
OCLK	91

9 - 2 . F P G A 2

(1) 汎用 I / O (I O D A 3 9 ~ 0)

信号名	ピン番号	信号名	ピン番号
IODA39	226	IODA19	13
IODA38	227	IODA18	14
IODA37	228	IODA17	15
IODA36	229	IODA16	17
IODA35	230	IODA15	18
IODA34	231	IODA14	19
IODA33	233	IODA13	20
IODA32	234	IODA12	21
IODA31	235	IODA11	23
IODA30	236	IODA10	24
IODA29	237	IODA9	25
IODA28	238	IODA8	26
IODA27	239	IODA7	28
IODA26	240	IODA6	29
IODA25	6	IODA5	30
IODA24	7	IODA4	31
IODA23	8	IODA3	33
IODA22	9	IODA2	34
IODA21	11	IODA1	35
IODA20	12	IODA0	36

(2) S R A M コントロール

信号名	ピン番号
MOE_	149
MCS1_	168
MCS0_	169
MWE3_	163
MWE2_	164
MWE1_	166
MWE0_	167

(3) S R A M アドレス (MA18~0)

信号名	ピン番号	信号名	ピン番号
MA18	144	MA8	158
MA17	146	MA7	159
MA16	147	MA6	161
MA15	148	MA5	162
MA14	151	MA4	171
MA13	152	MA3	172
MA12	153	MA2	173
MA11	154	MA1	174
MA10	156	MA0	175
MA9	157		

(4) S R A M データ (MD31~0)

信号名	ピン番号	信号名	ピン番号
MD31	102	MD15	120
MD30	103	MD14	126
MD29	105	MD13	127
MD28	106	MD12	128
MD27	107	MD11	129
MD26	108	MD10	131
MD25	109	MD9	132
MD24	110	MD8	133
MD23	111	MD7	134
MD22	113	MD6	136
MD21	114	MD5	137
MD20	115	MD4	138
MD19	116	MD3	139
MD18	117	MD2	141
MD17	118	MD1	142
MD16	119	MD0	143

(5) 汎用 I / O (IO36~0)

信号名	ピン番号	信号名	ピン番号
IO36	181	IO17	202
IO35	182	IO16	203
IO34	183	IO15	204
IO33	184	IO14	206
IO32	185	IO13	207
IO31	186	IO12	208
IO30	187	IO11	209
IO29	188	IO10	213
IO28	190	IO9	214
IO27	191	IO8	215
IO26	192	IO7	217
IO25	193	IO6	218
IO24	194	IO5	219
IO23	195	IO4	220
IO22	196	IO3	221
IO21	198	IO2	222
IO20	199	IO1	223
IO19	200	IO0	225
IO18	201		

(6) ターゲット / マスタ・データ (DAT31~0)

信号名	ピン番号	信号名	ピン番号
DAT31	61	DAT15	79
DAT30	62	DAT14	80
DAT29	63	DAT13	81
DAT28	64	DAT12	82
DAT27	65	DAT11	83
DAT26	66	DAT10	84
DAT25	67	DAT9	86
DAT24	68	DAT8	87
DAT23	70	DAT7	88
DAT22	71	DAT6	94
DAT21	72	DAT5	95
DAT20	73	DAT4	97
DAT19	74	DAT3	98
DAT18	75	DAT2	99
DAT17	76	DAT1	100
DAT16	78	DAT0	101

(7) マスタ転送コントロール

信号名	ピン番号
CLK_W	38
CLK_R	39
nVLD_W	40
nENB_W	41
nVLD_R	43
nENB_R	44
nACK	45
nREQ	46

(8) ターゲットコントロール

信号名	ピン番号
nSTRB_W	48
nSTRB_R	49
LA7	50
LA6	51
LA5	53
LA4	54
LA3	55
LA2	56

(9) 供給クロック

信号名	ピン番号
OCLK	91

10. 信号レベル

コネクタ IODA [39:0] の各信号は、FPGA との信号が直結されています。
信号レベルは以下のとおりです。

		Min	Max
入力時	Vih	1.7 or $0.5 * V_{ccint}$ whichever is lower	5.3
	Vil	-0.5	$0.3 * V_{ccint}$
出力時	Voh	TTL($I_{ol}=-4mA$)	2.4
		CMOS(-0.1mA)	$V_{ccint} - 0.2$
		PCI(-0.5mA)	$V_{ccint} * 0.9$
	Vol	TTL($I_{oh}4mA$)	0.45
		CMOS(0.1mA)	0.2
		PCI(1.5mA)	$V_{ccint} * 0.1$

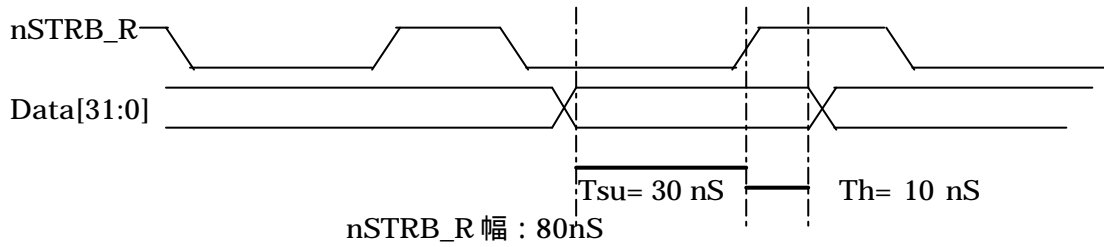
注意) I_{ol} または I_{oh} の値により、TTL, CMOS, PCI の区別が決まります。

11. タイミングチャート

11-1. ターゲット動作

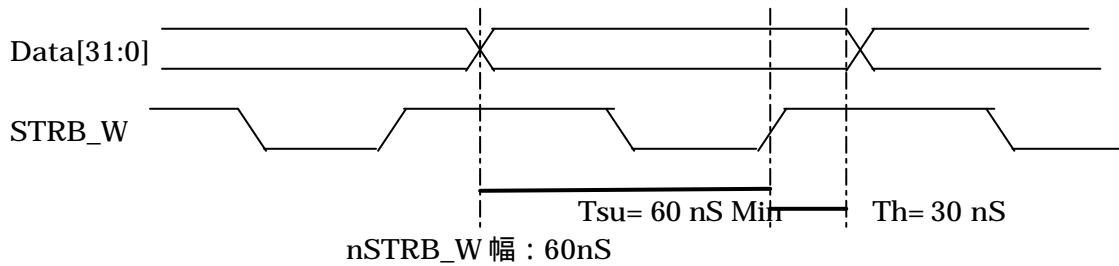
(1) 周辺部 > PCI 部

読み出し動作時は、nSTRB_R の後縁でラッチできるようなデータを出力して下さい。



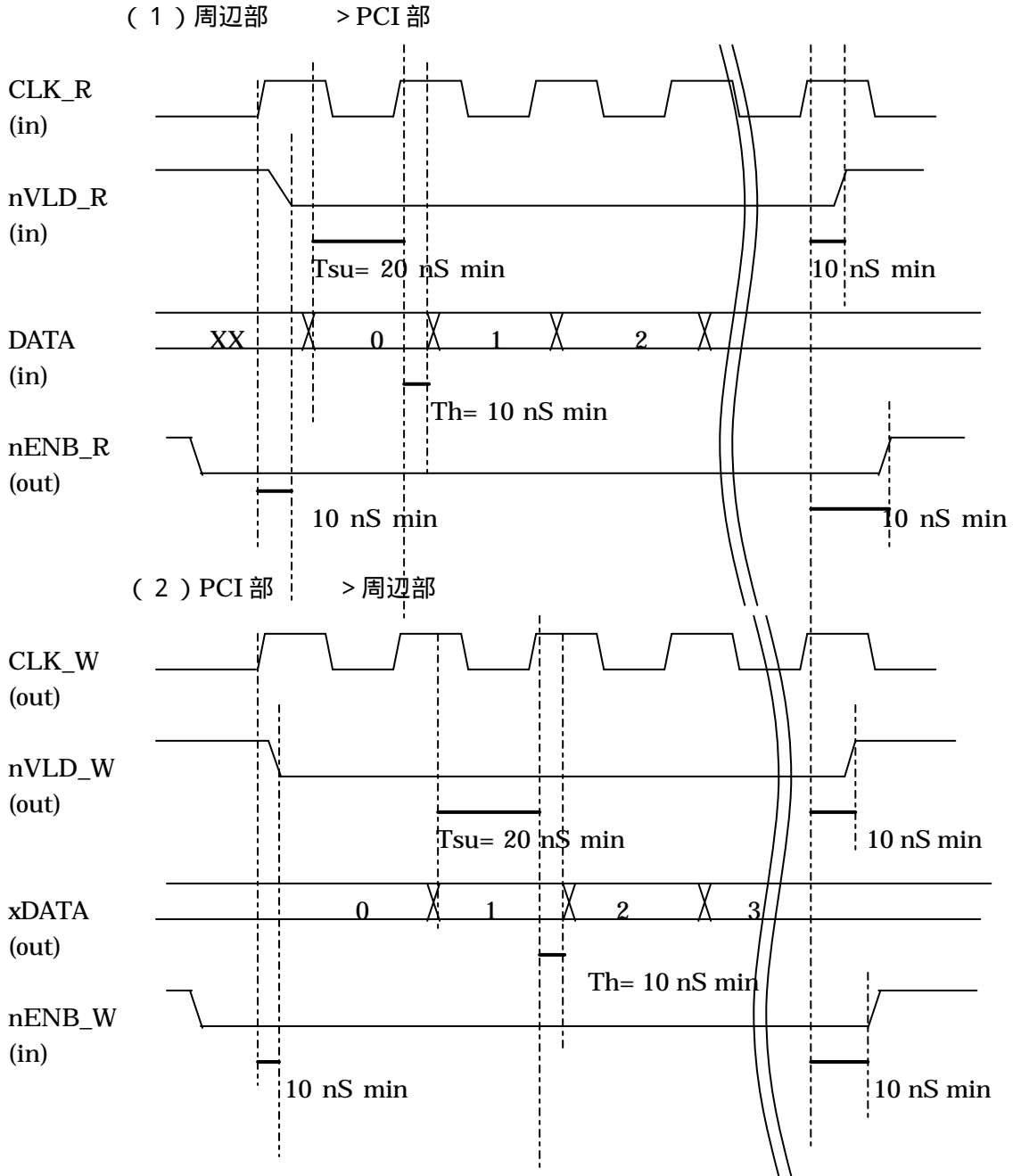
(2) PCI 部 > 周辺部

書き込み動作時は、Data Valid 中に nSTRB_W がパルス的に出ます。



11-2. マスター動作

以下は、nREQ も nACK もアクティブ状態でのタイミングチャートを示す。



(注) CLK_Wは、PCIクロックの2分周(16.5MHz)固定である。

12. 搭載部品

- ・ PCI用 FPGA、ALTERA 社製 10K30A - 1/2 (QFP パッケージ) 1ヶ搭載
- ・ 開発用 FPGA、ALTERA 社製
(3.3V 版 10K30A、50V、100A 240 ピン、QFP パッケージ) 2ヶ搭載
SRAM512k 8ヶ搭載
外部接続用 68 ピンコネクタ (ハーフピッチ) 1ヶ

13. コンフィギュレーション

以下の 2 種に対応

- 1) SROM (EPC1) による MultiDeviceProgram
- 2) ByteBulaster による " (ダウンロード)

注) コンフィギュレーションのラインは、開発用の 2 つの FPGA はシリーズに接続されています。

PCI 部はあらかじめ SROM に書き込まれています。

14. 開発FPGAのピンアサイン

FPGA 1, 2 のピンアサインのファイルを添付しますので、設計の際それを元に xxx . a c f に必要な箇所をコピーし、使用してください。

¥sample - p l d ¥g p c i 3 f 1 . a c f
" ¥g p c i 3 f 2 . a c f

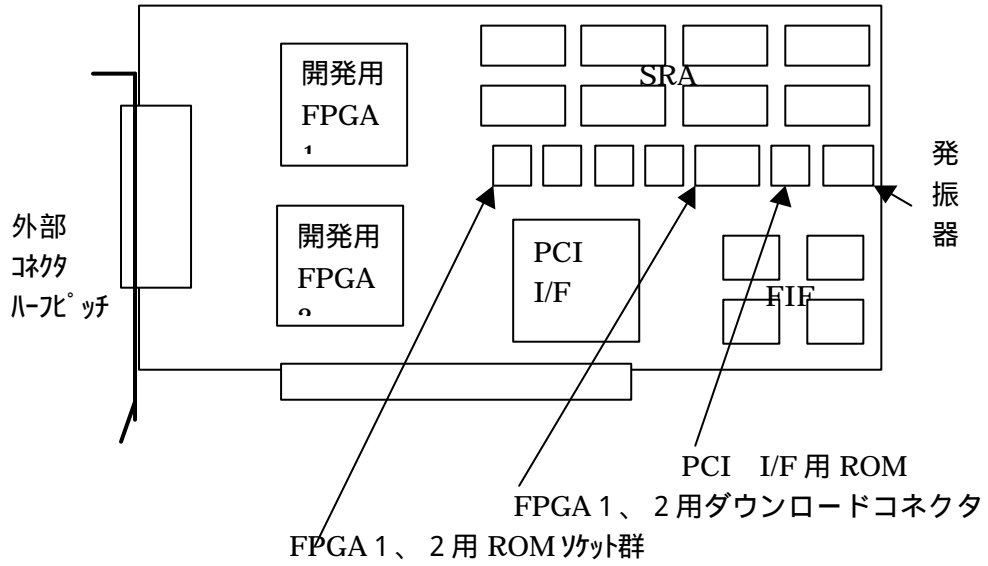
(注) FPGA 1 と FPGA 2 の同じ信号名でもピン番号が違います。

15. 電源電圧

5. 0 V 単一電源を PCI バスコネクタ経由で加えます。

16. サイズおよび使用コネクタ

PCI ハーフサイズカードです。
106(H) x 174(W)の6層基板



(注) 発振器は、出荷時搭載されていません。