

# PCI 開発用ポート(APEX)

## G-PCI4 ハート仕様書

第四版 XXX

株式会社 ファード

183-0006 東京都府中市緑町 3-8-2新東邦ビル4F

TEL 042-362-5072 FAX 042-369-8026

fird@coral.ocn.ne.jp www2.ocn.ne.jp/~fird

### 改版履歴

| 年月日          | 版数  | 改版内容  |
|--------------|-----|---|
| 2002 .7 .15  | 暫定版 |   |
| 2002 .8 .6   | 第一版 | 初版  |
| 2002 .9 .5   | 第二版 | 2 部分。 Configuration 関係のミス訂正と追加。 DQM の本数。    |
| 2002 .12 .12 | 第三版 | 3 部分。 PCI I/F 信号 INTREQ2 を追加 , タイミングチャート追加。 |
| 2003 .2 .25  | 第四版 | 4 部分信号名訂正                                   |

## 目 次

|       |                            |    |
|-------|----------------------------|----|
| 1     | 本ボードの特徴.....               | 3  |
| 2     | 概略仕様.....                  | 3  |
| 3     | 添付ファイル.....                | 5  |
| 4     | ブロック図.....                 | 6  |
| 5     | 使用方法.....                  | 7  |
| 5.1   | PCI I/F 部使用方法.....         | 7  |
| 5.1.1 | マスター、ターゲット動作共通データバス.....   | 7  |
| 5.1.2 | マスター動作時制御信号.....           | 7  |
| 5.1.3 | ターゲット動作時制御信号.....          | 7  |
| 5.1.4 | 割り込み信号.....                | 7  |
| 5.1.5 | マスタ動作タイミングチャート.....        | 8  |
| 5.1.6 | ターゲット動作タイミングチャート.....      | 9  |
| 5.2   | クロック.....                  | 9  |
| 5.3   | SRAM.....                  | 9  |
| 5.4   | FROM.....                  | 9  |
| 5.5   | IDE インターフェース.....          | 9  |
| 5.6   | SDRAM (DIMM).....          | 10 |
| 5.7   | 外部インターフェース.....            | 10 |
| 5.8   | コンフィギュレーション.....           | 11 |
| 5.8.1 | 直接 Configuration.....      | 11 |
| 5.8.2 | SROM 書き込み.....             | 11 |
| 5.9   | ジャンパー.....                 | 12 |
| 6     | コネクタピン配列.....              | 13 |
| 6.1   | IDE コネクタ.....              | 13 |
| 6.2   | 外部コネクタ.....                | 14 |
| 6.3   | 中間コネクタ.....                | 15 |
| 7     | その他.....                   | 16 |
| 7.1   | 搭載 FPGA の違いによるピン機能の違い..... | 16 |
| 7.2   | テストピン.....                 | 17 |

## 1 本ボードの特徴

1. PCI インターフェースはすでに組み込み済みですので、目的の機能のみの開発に専念できます。  
高速なマスタ転送をサポートしています。
2. メモリが**最大 4GBytes** 搭載できます。(1GBytesDIMM SDRAM が 4 枚まで)
3. 大規模 FPGA、Altera 社 **APEX シリーズ**を開発するためのボードです。
4. **外部バス、IDE バス、SRAM、FROM** などが開発用 FPGA に接続されていますので、APEX への enbeded CPU (**Nios** など)の評価などにも使用できます。
5. 高速版 SRAM が 4MBytes 標準搭載で、FPGA 内部 RAM のみではできない機能を実現できます。
6. 2 つの開発用 FPGA は等価で、すべての接続線は共通に接続されています。
7. 割り込み線も用意されていますので、PCI への割り込み機能も使用できます。
8. EPC2 実装済みです。
9. 外部コネクタとは APEX 直結です。

WindowsNT、2000、XP 対応のドライバソフト、テストプロが付属しています。  
テスト用 FPGA データ (pof、sof ファイル)も付属しています。

## 2 概略仕様

1. 外部インターフェース68Pin コネクタ
  - 1) 32 ビット + 制御信号
  - 2) APEX 直結  
(外部コネクタと平行に 2.54mm ピッチコネクタが設置されていますので、  
パタンカット、回路追加による改造は可能です)
2. IDE インターフェース (FPGA との直接入出力)  
40 ピンタイプの IDE コネクタ
3. SRAM  
15ns 版 SRAM が 4Mbytes (8 ビット × 512K × 8) 搭載  
(日立 HM62W8511HJP-15 または相当品)
4. FROM  
2MBytes (16 ビット × 1Mbytes) 搭載  
(富士通 MBM29LV160TE70TN または相当品)

## 5. PCI 部 FPGA とのインターフェース

## 1) マスター、ターゲット動作共通データバス

D[31:0]

## 2) マスター動作時は以下の制御信号による

|         |         |       |
|---------|---------|-------|
| REQ     | ACK     | CLOCK |
| W_CLOCK | W_VALID | W_ENB |
| R_CLOCK | R_VALID | R_ENB |

## 3) ターゲット動作時は以下の制御信号による

|           |          |          |
|-----------|----------|----------|
| LADR[7:2] | W_STROBE | R_STROBE |
|-----------|----------|----------|

## 4) 割り込み信号

|         |         |
|---------|---------|
| INTREQ1 | INTREQ2 |
|---------|---------|

## 6. 開発 FPGA

## 1) 実装の選択

Altera 社 APEX シリーズ 2 個、EP20K100、160、200、300 から選択可能。

## 2) コンフィギュレーション

ByteBlaster および EPC2 から可能。(ジャンパー設定あり。)

## 7. 転送クロック

PCI インターフェースとの転送時 (PCI FPGA と開発用 FPGA 間) は、  
PCI クロック (33MHz) / 4、またはボード搭載クロックが選択可。

## 8. 動作クロック

2つの開発用 FPGA にはボード搭載クロック (シルクQ1 Option) が接続されています。

## 9. 基板サイズ

フルサイズ PCI ボード。SDRAM (DIMM) 使用時は 2スロット幅使用。

## 【注意】

搭載 FPGA の種類と開発用 FPGA 間の接続線数の関係は、  
以下の表のように、大きな FPGA ほど接続線数は少なくなる。

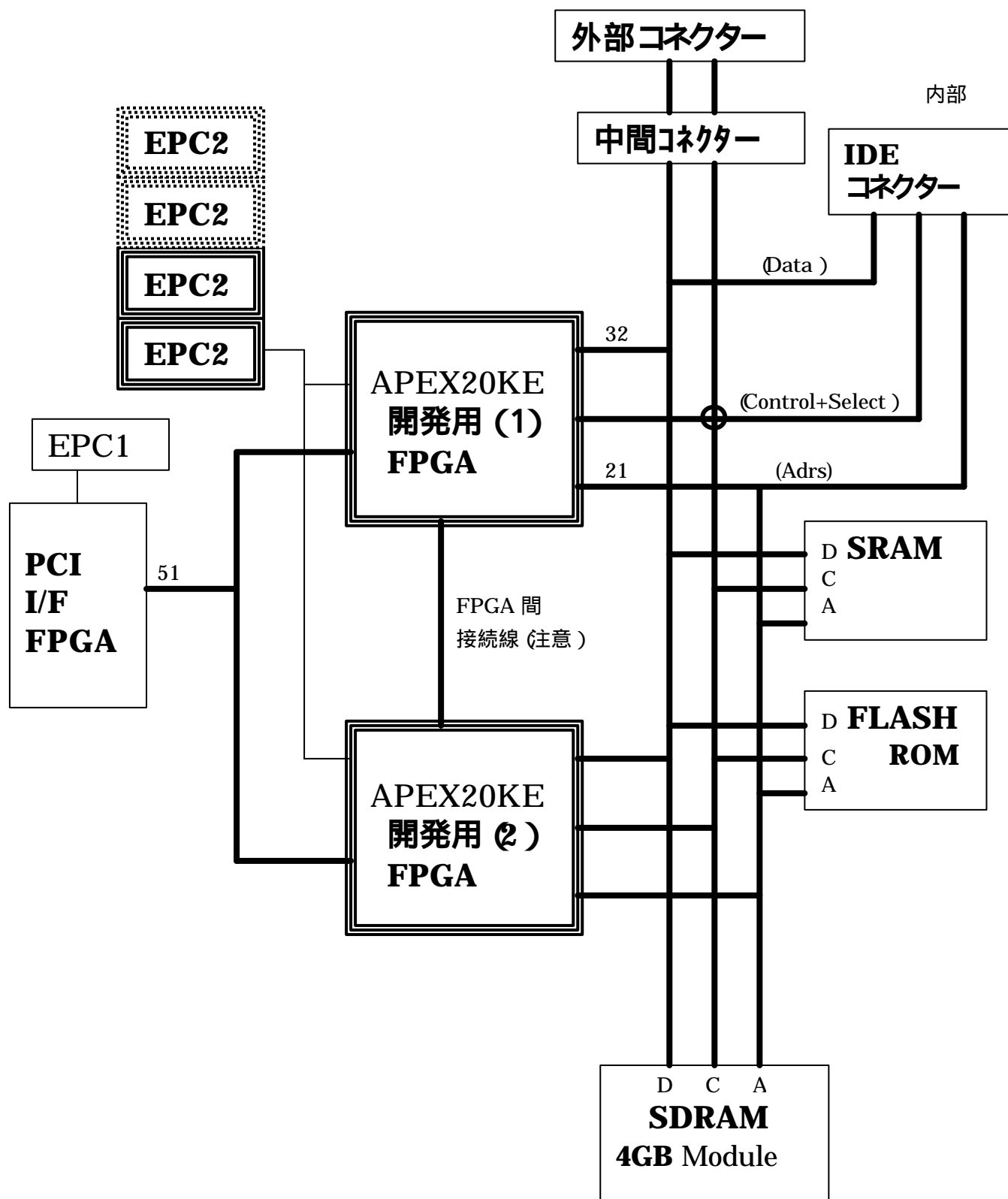
| 搭載 FPGA     | 連絡接続線数 |
|-------------|--------|
| APEX20K100E | 34     |
| APEX20K160E | 26     |
| APEX20K200E | 19     |
| APEX20K300E | 3      |

### 3 添付ファイル

ハード関連では以下のファイルが標準で添付されています。

|             |                        |
|-------------|------------------------|
| ドライバ        | sys                    |
| DLL         | dll                    |
| サンプル Soft   | cpp exe (プロジェクトファイル一式) |
| FPGA 1 サンプル | vhdl, csf, sof, pof    |
| FPGA 2 サンプル | vhdl, csff, sof, pof   |

4 ブロック図



## 5 使用方法

以下に述べる各デバイスやポートなどは、2つの開発用 FPGA は共通バスになっていますのでどちらかでもアクセス、または利用が可能です。

### 5.1 PCI I/F 部使用方法

3

#### 5.1.1 マスター、ターゲット動作共通データバス

| 【信号名】   | 内 容      | I/O (開発 FPGA が) | アクティブレベル |
|---------|----------|-----------------|----------|
| D[31:0] | 双方向データバス | I/O             | High     |

#### 5.1.2 マスター動作時制御信号

| 【信号名】   | 内 容              | I/O (開発 FPGA が) | アクティブレベル |
|---------|------------------|-----------------|----------|
| REQ     | マスタ転送を行う時の転送要求   | O               | Low      |
| ACK     | マスタ転送が可能であることを示す | I               | Low      |
| CLOCK   | 常時出力されているクロック    | I               |          |
| W_CLOCK | PC が書き込み時用クロック   | I               | 立上りでラッチ  |
| W_VALID | PC が書き込み時のデータ有効部 | I               | Low      |
| W_ENB   | PC から書き込み可能を示す   | O               | Low      |
| R_CLOCK | PC が読み出し時用クロック   | O               | 立上りでラッチ  |
| R_VALID | PC が読み出し時のデータ有効部 | O               | Low      |
| R_ENB   | PC が読み出し可能を示す    | I               | Low      |

#### 5.1.3 ターゲット動作時制御信号

| 【信号名】     | 内 容         | I/O (開発 FPGA が) | アクティブレベル |
|-----------|-------------|-----------------|----------|
| LADR[7:2] | ローカルアドレス    | I               | High     |
| W_STROBE  | Write ストローブ | I               | Low      |
| R_STROBE  | Read ストローブ  | I               | Low      |

#### 5.1.4 割り込み信号

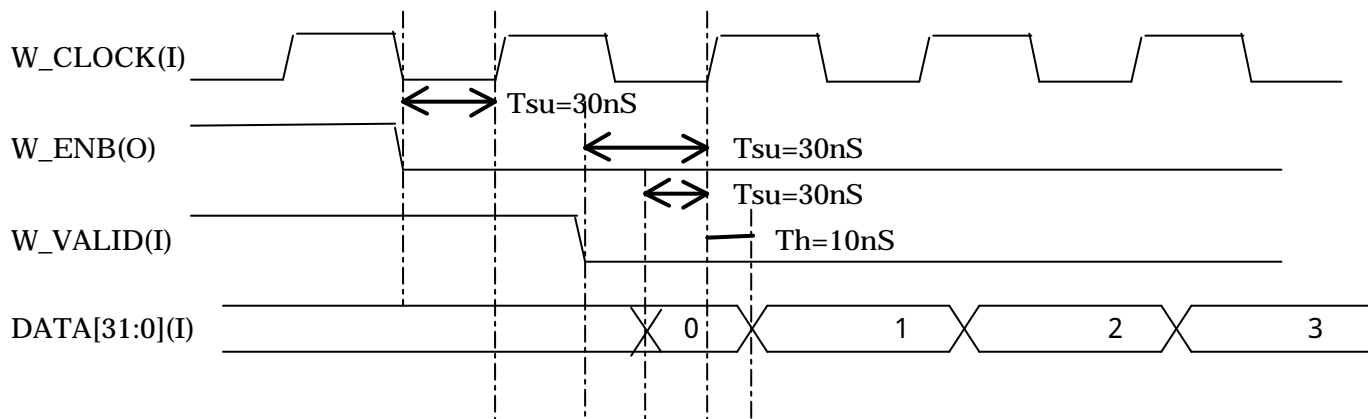
| 【信号名】   | 内 容       | I/O (開発 FPGA が) | アクティブレベル |
|---------|-----------|-----------------|----------|
| INTREQ1 | 割り込み要求線 1 | O               | 立上り      |
| INTREQ2 | 割り込み要求線 2 | O               | 立上り      |

## 5.1.5 マスタ動作タイミングチャート

3

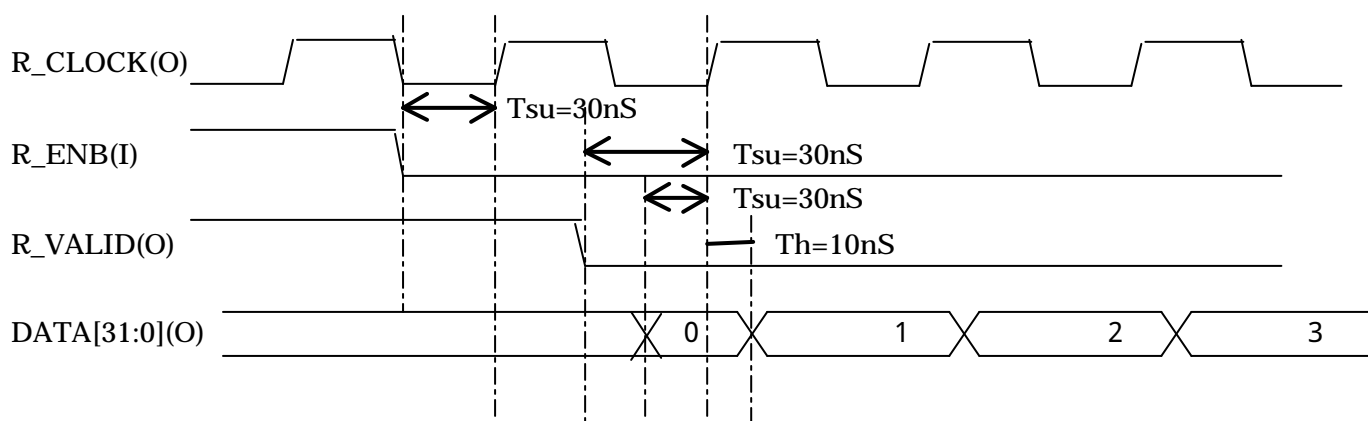
(1)書き込み (PCI I/F FPGA &gt; 開発用 FPGA )

前もって、REQ をアクティブにして、ACK がアクティブであることを確認しておきます。



(2)読み出し (PCI I/F FPGA &lt; - 開発用 FPGA )

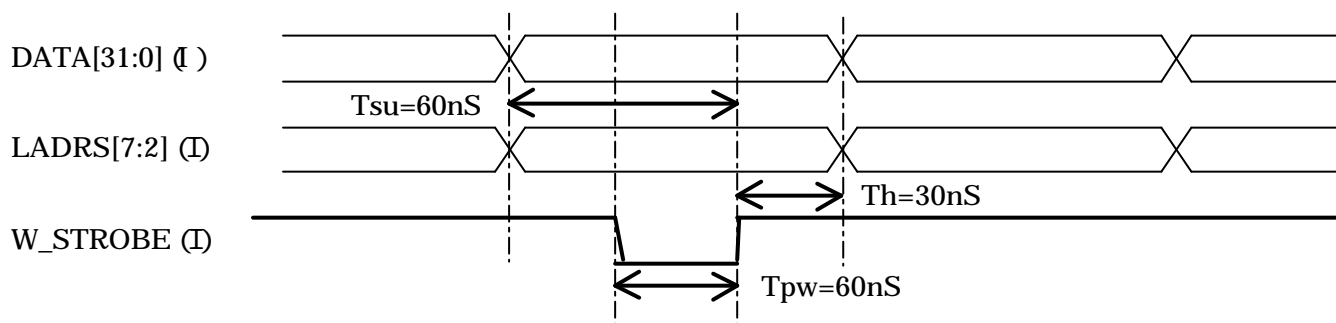
前もって、REQ をアクティブにして、ACK がアクティブであることを確認しておきます。



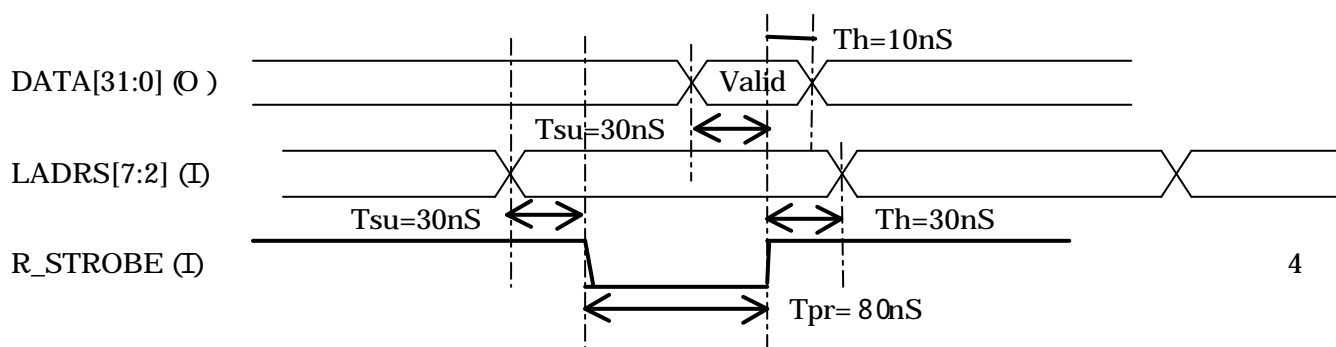


## 5.1.6 ターゲット動作タイミングチャート

(1)書き込み (PCI I/F FPGA &gt; 開発用 FPGA )



(2)読み出し (PCI I/F FPGA &lt; - 開発用 FPGA )



## 5.2 クロック

Q1 部に 3.3V 電源タイプの水晶発振器を実装して下さい。(例 :三田電波株式会社のMXO-493 シリーズ)  
2つの開発用 FPGA に入力されています。

## 5.3 SRAM

512K x 8 ビットの SRAM を 8 個使用していますので、最大 4MBytes です。  
アクセスは制御線の関係で 1M x 32 ビットとして使用できます。  
書き込み、読み出しとも 32 ビット幅です。

## 5.4 FROM

1M x 16 ビットの FROM を 1 個使用しています。  
アクセスは 16 ビット幅のみです。  
Reset および READY/BUSY 信号は FPGA から制御線が出ています。

## 5.5 IDE インターフェース

IDE コンパチブルなコネクタ (2.54m/m ピッチ 2 列、40ピン)を用意しています。

## 5.6 SDRAM ( DIMM )

168 ピン DIMM を 4 枚まで実装できます。

アクセスは 32 ビットまたは 16 ビット単位になります。(64 ビット同時はできません)

DQM は 32 ビット単位で独立して 2 本 FPGA から出ています。

2

FPGA からの 8 本の CS 信号は、DIMM のアドレス方向側に使用します。(データ幅側ではありません)

クロックは FPGA から 1 本出ていて、それがバッファで分割して各 DIMM に供給されます。

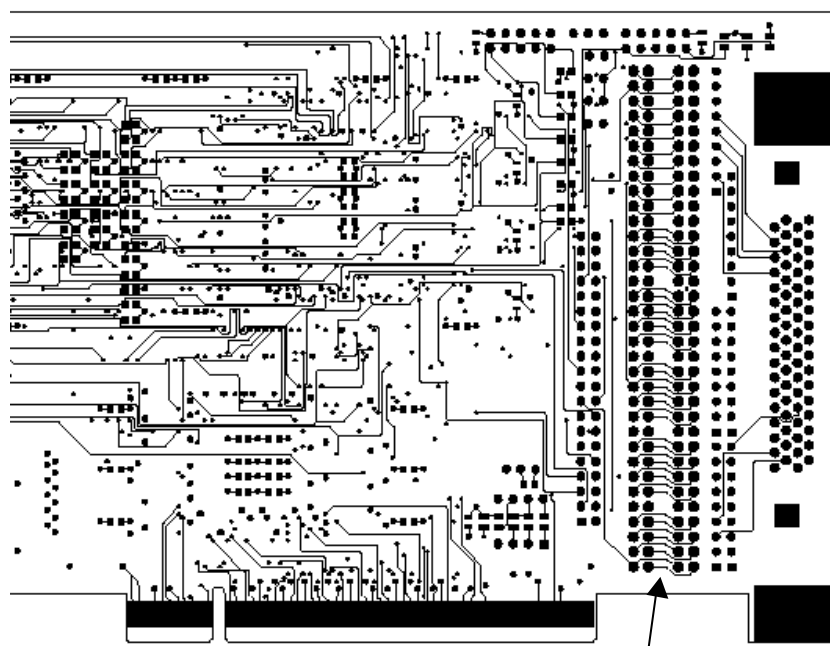
## 5.7 外部インターフェース

データバス 32 本、アドレス線 6 本、制御線 8 本、クロック線 2 本用意しています。

これらは、PCI-FPGA のバックエンドと同様な信号を用意しただけで、もちろんユーザ側で自由に定義して使用できます。

使用コネクタは (基板側) :DDK (第一電気工業) DHA-68

この外部インターフェースコネクタへ出る前に、各信号はすべて中間コネクタ CN10 と CN11 を横切っています。FPGA と外部コネクタとの間に回路を構成する場合は、CN10 と CN11 の間のパターンをカット (下図) して、そこに別途基板を作成して回路を構成して下さい。



この間

(電源 GND 以外はすべてこの半田面に出ています)

## 5.8 コンフィギュレーション

PCI-FPGA はすでに PCI インターフェースがすでに組み込まれていますのでダウンロードの必要はありません。(電源立ち上げ時 SROM (EPC1) からコンフィギュレーションされます。)

ご注意 )CN1、CN3 の 1 ピンの位置にご注意下さい。1 ピンは左下です。

FPGA をコンフィギュレーションするには、以下の2通りの方法があります。

- 1) SROM (基板搭載済みの EPC2) にコンフィギュレーションデータを書き込んでおいて、再度電源をたち上げる。
  - 2) FPGA を直接コンフィギュレーションする。
- その各方法について以下に述べます。

2

### 5.8.1 直接 Configuration

次の項目で述べる、ジャンパー JP-2 の設定を行ってください。(右側をジャンパー)

次に Altera 社の ByteBruster で PC と本基板の CN1 とを接続します。

Configuration の手順は、以下のとおりです。

- 1) Quartus の『Processing』メニューから『Open Programmer』でプログラムを開きます。
- 2) そのダイアログの『Add File』で2つの FPGA の SOF ファイルを BOX 内に表示させます。  
Mode は『JTAG』にして置きます。
- 3) 『Program/Configure』の項目にチェックを入れています。
- 4) 最後に『Start』で Configuration します。『Process』が 100%まで進み、下の欄に『Successfull』と出たら書き込み完了です。

この場合は、この状態で動作開始しています。

### 5.8.2 SROM 書き込み

上と同様ですが、次の項目で述べる、ジャンパー JP-2 の設定を行ってください。(左側をジャンパー)

次に Altera 社の ByteBruster で PC と本基板の CN3 とを接続します。

書き込み手順は、以下のとおりです。

- 1) Quartus の『Processing』メニューから『Open Programmer』でプログラムを開きます。
- 2) そのダイアログの『Add File』で2つの SOF ファイルを BOX 内に表示させます。  
Mode は『Passive Serial』にして置きます。
- 3) メインのメニューの『Tools』から、『Convert SROM Files』を選択し、出力するファイル名を指定し『OK』を押します。FOGA の種類によって 2~4 個の POF ファイルが作成されます。  
2つ目以降は指定したファイル名に \_1、\_2、\_3 と付加されたファイル名になります。
- 4) 再度、Mode を『JTAG』にもどして、『AddFile』で今作られた POF ファイルをすべて指定します。
- 5) 『Program/Configure』と『Verify』の項目にチェックを入れています。
- 6) 最後に『Start』を実行します。少し時間がかかりますけど、『Process』が 100%まで進み、下の欄に『Successfull』と出たら書き込み完了です。

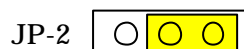
この場合は PC の電源を再度立ち上げる必要があります。

## 5.9 ジャンパー

## 1) コンフィギュレーション、ダウンロード

2

FPGA に直接ダウンロードする場合は、JP2 (3 ピン) の右側の 2 ピンをジャンパーして下さい。



SROM (EPC2) に書き込む場合は、JP2 の左側の 2 ピンをジャンパーして下さい。書き込んだ内容で動作するには再度電源を立ち上げる必要があります。その時はジャンパーもこのままです。



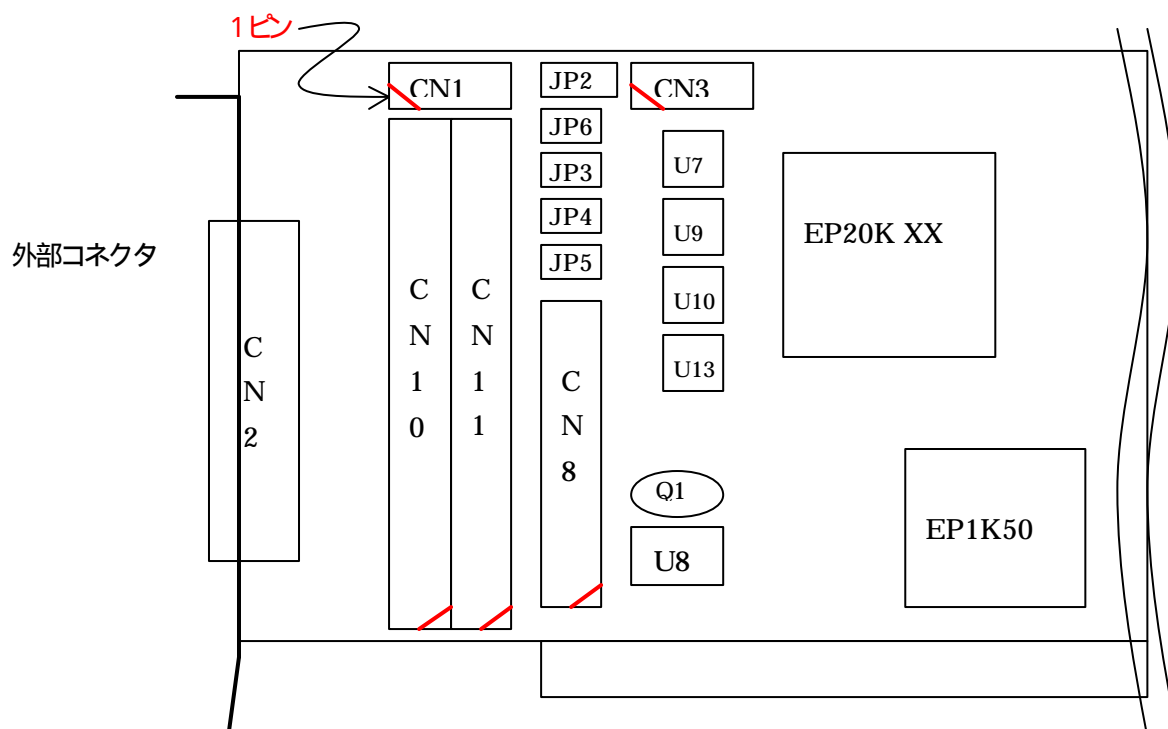
ジャンパーピンは製品に付属しています。

## 2) 実装 FPGA の種類

実装 FPGA の種類によって出荷時以下のようにジャンパーが設定されています。

ユーザー側で変更する必要はありません。以下は参考までです。

| 実装 FPGA        | 実装 SROM (半田面) | ジャンパー     |
|----------------|---------------|-----------|
| EP20K100EQC 1個 | U7            | JP-3、JP-6 |
| EP20K100EQC 2個 | U7、U9         | JP-4      |
| EP20K160EQC 1個 | U7            | JP-3、JP-6 |
| EP20K160EQC 2個 | U7、U9         | JP-4      |
| EP20K200EQC 1個 | U7、U9         | JP-4、JP-6 |
| EP20K200EQC 2個 | U7、U9、U10     | JP-5      |
| EP20K300EQC 1個 | U7、U9         | JP-4、JP-6 |
| EP20K300EQC 2個 | U7、U9、U10、U13 | なし        |



## 6 コネクタピン配列

### 6.1 IDE コネクタ

| 信号名     | ピン番 | ピン番 | 信号名         |
|---------|-----|-----|-------------|
| RESET - | 1   | 2   | GND         |
| DD7     | 3   | 4   | DD8         |
| DD6     | 5   | 6   | DD9         |
| DD5     | 7   | 8   | DD10        |
| DD4     | 9   | 10  | DD11        |
| DD3     | 11  | 12  | DD12        |
| DD2     | 13  | 14  | DD13        |
| DD1     | 15  | 16  | DD14        |
| DD0     | 17  | 18  | DD15        |
| GND     | 19  | 20  | (キ-)        |
| DMARQ - | 21  | 22  | GND         |
| DIOW -  | 23  | 24  | GND         |
| DIOR -  | 25  | 26  | GND         |
| IORDY   | 27  | 28  | SPSYNC/CSEL |
| DMACK - | 29  | 30  | GND         |
| INTRQ   | 31  | 32  | IOCS16 -    |
| DA1     | 33  | 34  | PDIAG -     |
| DA0     | 35  | 36  | DA2         |
| CS0 -   | 37  | 38  | CS1 -       |
| DASP -  | 39  | 40  | GND         |

## 6.2 外部コネクタ

下記の信号名は、あくまでも一例であり、FPGA との接続を明確にするためのものです。  
各信号はすべて FPGA と直結されています。

| 信号名      | ピン番 | ピン番 | 信号名    |
|----------|-----|-----|--------|
| DATA00   | 1   | 35  | DATA01 |
| DATA02   | 2   | 36  | DATA03 |
| DATA04   | 3   | 37  | DATA05 |
| DATA06   | 4   | 38  | DATA07 |
| GND      | 5   | 39  | GND    |
| DATA08   | 6   | 40  | DATA09 |
| DATA10   | 7   | 41  | DATA11 |
| DATA12   | 8   | 42  | DATA13 |
| DATA14   | 9   | 43  | DATA15 |
| GND      | 10  | 44  | GND    |
| DATA16   | 11  | 45  | DATA17 |
| DATA18   | 12  | 46  | DATA19 |
| DATA20   | 13  | 47  | DATA21 |
| DATA22   | 14  | 48  | DATA23 |
| GND      | 15  | 49  | GND    |
| DATA24   | 16  | 50  | DATA25 |
| DATA26   | 17  | 51  | DATA27 |
| DATA28   | 18  | 52  | DATA29 |
| DATA30   | 19  | 53  | DATA31 |
| GND      | 20  | 54  | GND    |
| ADRS02   | 21  | 55  | ADRS03 |
| ADRS04   | 22  | 56  | ADRS05 |
| ADRS06   | 23  | 57  | ADRS07 |
| GND      | 24  | 58  | GND    |
| XREQ     | 25  | 59  | GND    |
| XREADY   | 26  | 60  | GND    |
| XVALID_W | 27  | 61  | GND    |
| XENB_W   | 28  | 62  | GND    |
| XSTRB_W  | 29  | 63  | GND    |
| XCLOCK_W | 30  | 64  | GND    |
| XVALID_R | 31  | 65  | GND    |
| XENB_R   | 32  | 66  | GND    |
| XSTRB_R  | 33  | 67  | GND    |
| XCLOCK_R | 34  | 68  | GND    |

## 6.3 中間コネクタ

下記の信号名は、あくまでも一例であり、FPGA との接続を明確にするためのものです。

CN10 とCN11 はすべて共通であり 59 ~ 62 の 4 本の GND ピンが 3.3V 電源に変更になったこと以外は外部コネクタとも同様のピン配置です。CN10 が上の外部コネクタに近い側です。

半田面の CN10 とCN11 の間のパタンをカットすることにより、外部コネクタとFPGA の間に独自に回路を構成することができます。GND と電源以外のパタンはすべて半田面に出ています。

**【注意】**ピン番の並びが、外部コネクタと合わせるために通常のヘッダーコネクタとは異なっておりますので  
ご注意ください！

| 信号名      | ピン番 | ピン番 | 信号名    |
|----------|-----|-----|--------|
| DATA00   | 1   | 35  | DATA01 |
| DATA02   | 2   | 36  | DATA03 |
| DATA04   | 3   | 37  | DATA05 |
| DATA06   | 4   | 38  | DATA07 |
| GND      | 5   | 39  | GND    |
| DATA08   | 6   | 40  | DATA09 |
| DATA10   | 7   | 41  | DATA11 |
| DATA12   | 8   | 42  | DATA13 |
| DATA14   | 9   | 43  | DATA15 |
| GND      | 10  | 44  | GND    |
| DATA16   | 11  | 45  | DATA17 |
| DATA18   | 12  | 46  | DATA19 |
| DATA20   | 13  | 47  | DATA21 |
| DATA22   | 14  | 48  | DATA23 |
| GND      | 15  | 49  | GND    |
| DATA24   | 16  | 50  | DATA25 |
| DATA26   | 17  | 51  | DATA27 |
| DATA28   | 18  | 52  | DATA29 |
| DATA30   | 19  | 53  | DATA31 |
| GND      | 20  | 54  | GND    |
| ADRS02   | 21  | 55  | ADRS03 |
| ADRS04   | 22  | 56  | ADRS05 |
| ADRS06   | 23  | 57  | ADRS07 |
| GND      | 24  | 58  | GND    |
| XREQ     | 25  | 59  | +3.3V  |
| XREADY   | 26  | 60  | +3.3V  |
| XVALID_W | 27  | 61  | +3.3V  |
| XENB_W   | 28  | 62  | +3.3V  |
| XSTRB_W  | 29  | 63  | GND    |
| XCLOCK_W | 30  | 64  | GND    |
| XVALID_R | 31  | 65  | GND    |
| XENB_R   | 32  | 66  | GND    |
| XSTRB_R  | 33  | 67  | GND    |
| XCLOCK_R | 34  | 68  | GND    |

## 7 その他

## 7.1 搭載 FPGA の違いによるピン機能の違い

| ピン番   | 300E        | 200E        | 160E        | 100E        |
|-------|-------------|-------------|-------------|-------------|
| 40    | LOCK1       | I/O         | I/O         | I/O         |
| 138   | LOCK2       | LOCK2       | LOCK2       | LOCK2       |
| 20    | LOCK3       | I/O         | I/O         | I/O         |
| 135   | LOCK4       | LOCK4       | LOCK4       | LOCK4       |
| 32    | CLKLK_ENA   | CLKLK_ENA   | CLKLK_ENA   | CLKLK_ENA   |
| 23    | CLKLK_OUT1p | I/O         | I/O         | I/O         |
| 139   | CLKLK_OUT2p | CLKLK_OUT2p | CLKLK_OUT2p | CLKLK_OUT2p |
| 35    | CLKLK_FB1   | I/O         | I/O         | I/O         |
| 155   | CLKLK_FB2   | CLKLK_FB2   | CLKLK_FB2   | CLKLK_FB2   |
| 14    | VCCint      | VCCint      | VCCint      | I/O         |
| 52    | VCCint      | VCCint      | VCCint      | I/O         |
| 127   | VCCint      | VCCint      | VCCint      | I/O         |
| 168   | VCCint      | VCCint      | VCCint      | I/O         |
| 5     | VCCint      | VCCint      | I/O         | I/O         |
| 39    | VCCint      | VCCint      | I/O         | I/O         |
| 140   | VCCint      | VCCint      | I/O         | I/O         |
| 176   | VCCint      | VCCint      | I/O         | I/O         |
| 73    | VCCint      | I/O         | I/O         | I/O         |
| 107   | VCCint      | I/O         | I/O         | I/O         |
| 193   | VCCint      | I/O         | I/O         | I/O         |
| 227   | VCCint      | I/O         | I/O         | I/O         |
| 15    | GND         | GND         | GND         | I/O         |
| 51    | GND         | GND         | GND         | I/O         |
| 128   | GND         | GND         | GND         | I/O         |
| 167   | GND         | GND         | GND         | I/O         |
| 6     | GND         | GND         | I/O         | I/O         |
| 38    | GND         | GND         | I/O         | I/O         |
| 175   | GND         | GND         | I/O         | I/O         |
| ( 26  | GND         | I/O         | I/O         | I/O ) 使用不可  |
| 72    | GND         | I/O         | I/O         | I/O         |
| 106   | GND         | I/O         | I/O         | I/O         |
| 194   | GND         | I/O         | I/O         | I/O         |
| ( 211 | GND         | I/O         | I/O         | I/O ) 使用不可  |
| 228   | GND         | I/O         | I/O         | I/O         |
| 22    | VCCCLK      | I/O         | I/O         | I/O         |
| 25    | VCCCLK      | I/O         | I/O         | I/O         |
| 37    | VCCCLK      | I/O         | I/O         | I/O         |
| 21    | VCCGND      | I/O         | I/O         | I/O         |
| 24    | VCCGND      | I/O         | I/O         | I/O         |
| 36    | VCCGND      | I/O         | I/O         | I/O         |



## 7.2 テストピン

開発時、FPGA からデバッグ用に出力した信号を観察できるように、9 つの信号が基板上でチェック用ランドがあります。

**【注意】**2つの開発用 FPGA が共通接続された部分ですので、一方のFPGA から出力する場合はもう一方のFPGA は必ず入力ピンとして定義 (出力だとしたら必ず HiZ) してください。

| <i>FPGA 1上のピン番</i> | <i>FPGA 2上のピン番</i> | <i>チェック用ランド</i> | <i>回路図上の信号名</i> |
|--------------------|--------------------|-----------------|-----------------|
| 23                 | 23                 | P1              | CK_OUT1P        |
| 35                 | 35                 | P3              | CK_FB1P         |
| 166                | 166                | P10             | IO3             |
| 169                | 169                | P11             | IO4             |
| 170                | 170                | P12             | IO5             |
| 171                | 171                | P15             | IO6             |
| 172                | 172                | P16             | IO7             |

以下の2本は INT REQ ラインとして PCI FPGA へ出力されています。(使用不可)

|       |     |    |     |        |
|-------|-----|----|-----|--------|
| ( 126 | 126 | P8 | IO1 | INT1 ) |
| ( 129 | 129 | P9 | IO2 | INT2 ) |