

I O G - P C I ボード

H / W仕様説明書

(株)ファード

(注)内部動作については、説明しない。

履歴

第1版：2005.8/9：初版

目 次

1 . 概要	3
2 . 機能概略	3
3 . 構成	4
3 - 1 . 全体	4
3 - 2 . S R A M 部	5
3 - 3 . バッファ部	6
3 - 3 - 1 . T T L バッファ	6
3 - 3 - 2 . 差動入力バッファ	7
3 - 3 - 3 . 差動出力バッファ	8
3 - 3 - 4 . バッファなしの L V T T L	9
3 - 3 - 5 . バッファなしの L V D S	10
4 . 接続	11
4 - 1 . 外部接続コネクタ (C N 3)	11
4 - 2 . 同期用接続ピンヘッダー (C N 4)	12
4 - 3 . A L T E R A のダウンロードコネクタ (C N 2)	12
4 - 4 . X i l i n x ダウンロードコネクタ (C N 6)	13
4 - 5 . ジャンパーピン (J 1 , J 2)	14
4 - 6 . ディップスイッチ (S 1 , S 2)	15
4 - 7 . L E D (D 1 , D 2 , D 3 , D 4)	16
4 - 9 . F P A G 間接続 (F - I / F)	17
4 - 1 0 . P C I バス	19
4 - 1 1 . 電源供給	20
5 . 実装部品図	21

1 . 概要

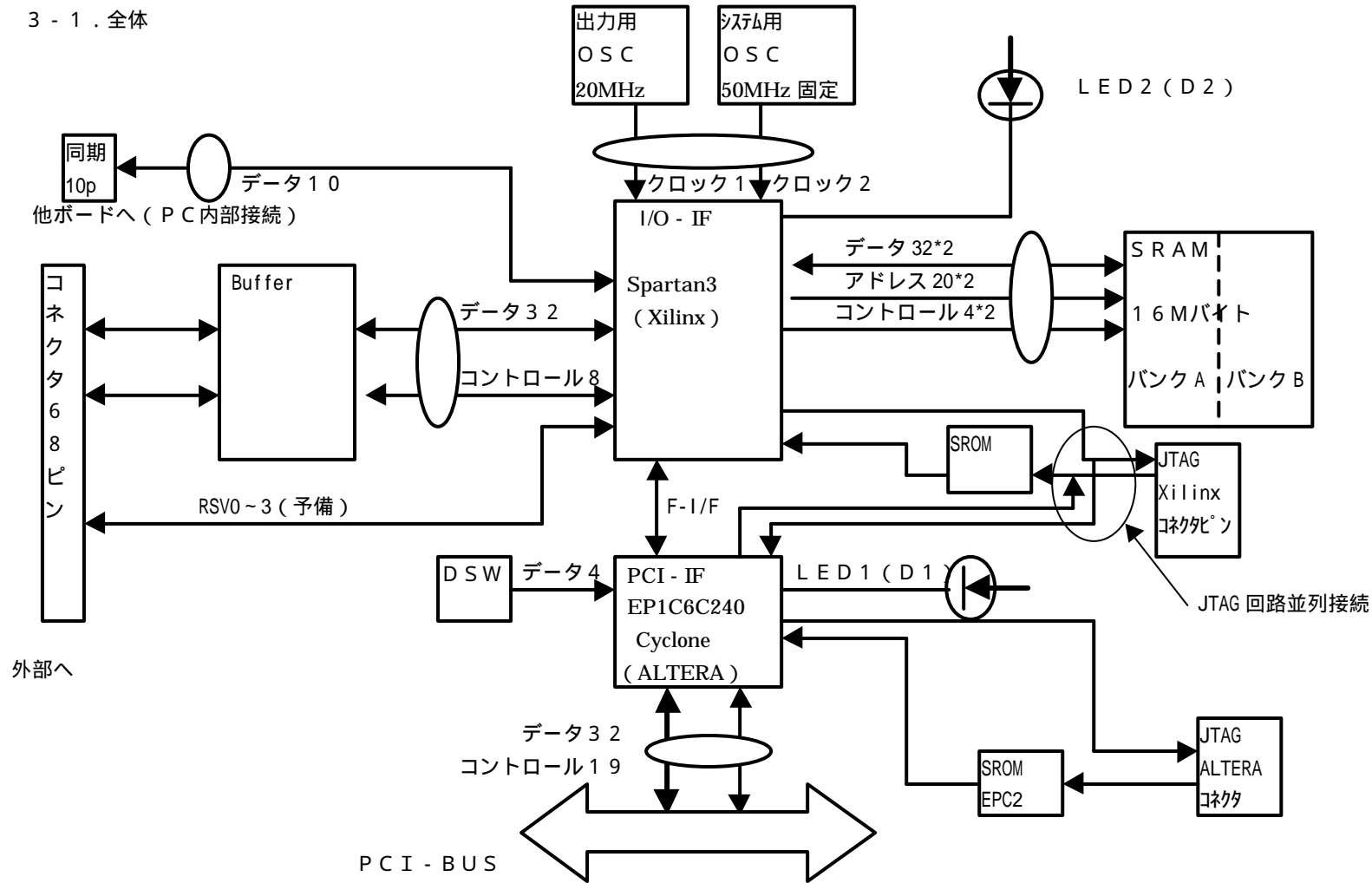
弊社 “ I O - P C I ” ボードの外部コネクタ準拠のハーフサイズの P C I ボードである。付加機能として、ユーザー使用可能な F P G A を追加し、S R A M も独立 2 ポート構成で 1 6 M バイトの容量を実装している。

2 . 機能概略

- (1) P C I バス 3 3 M H z、3.3V / 5V (P C I 2.1 準拠)
- (2) F P G A 2 個実装
 - ・ P C I 用 EP1C6 : Cyclone (ALTERA)
 - ・ I O 用 XC3S400 : Spartan (Xilinx)
I O 用は、XC3S1000、XC3S1500 (ダインロードのみ) が実装可能
- (3) S R A M 2 系統独立 (8 M バイト + 8 M バイト)
- (4) 外部 I/O 接続 (バッファにより TTL/差動接続)
 - データ部
 - ・ 32 ビット T T L 入出力バッファ
 - ・ 16 ビット LVDS 入力 / 出力バッファ
 - ・ 16 ビット RS422 入力 / 出力バッファ
 - ・ 32 ビット バッファなしの LVTTTL 入出力 (F P G A 直結 ; ショートモジュール使用)
 - ・ 16 ビット " LVDS 入出力 (" ")
 - コントロール部
 - ・ T T L バッファ 8 ビット入力 + 8 ビット出力
 - ・ LVDS バッファ 4 ビット入力 + 4 ビット出力
 - ・ RS422 バッファ 4 ビット入力 + 4 ビット出力
 - ・ バッファなしの LVTTTL 8 ビット入力 + 8 ビット出力 (F P G A コンフィグにより変更可能)
 - ・ バッファなしの LVDS 4 ビット入力 + 4 ビット出力 (" ")
- (5) クロック 2 系統
 - ・ システムクロック 50MHz
 - ・ 外部パターン入出力用 20MHz
- (6) マスタ転送機能
- (7) I O - P C I 動作準拠 (標準)
 - ・ S R A M リード、ライト。
 - ・ モード 0 入出力。
 - ・ モード 1 入出力。
 - ・ パターン入出力 (S R A M とのデータ転送)
- (8) 同期用 1 0 P ヘッダーピン
- (9) I O 用 F P G A (Xilinx) へ直接ダウンロード可能 (ザイリンクスのダウンロードケーブル不要)
(注) R O M へは、書き込みはできない。
- (1 0) その他
 - 各種インジケータ用 L E D 実装。

3. 構成

3-1. 全体

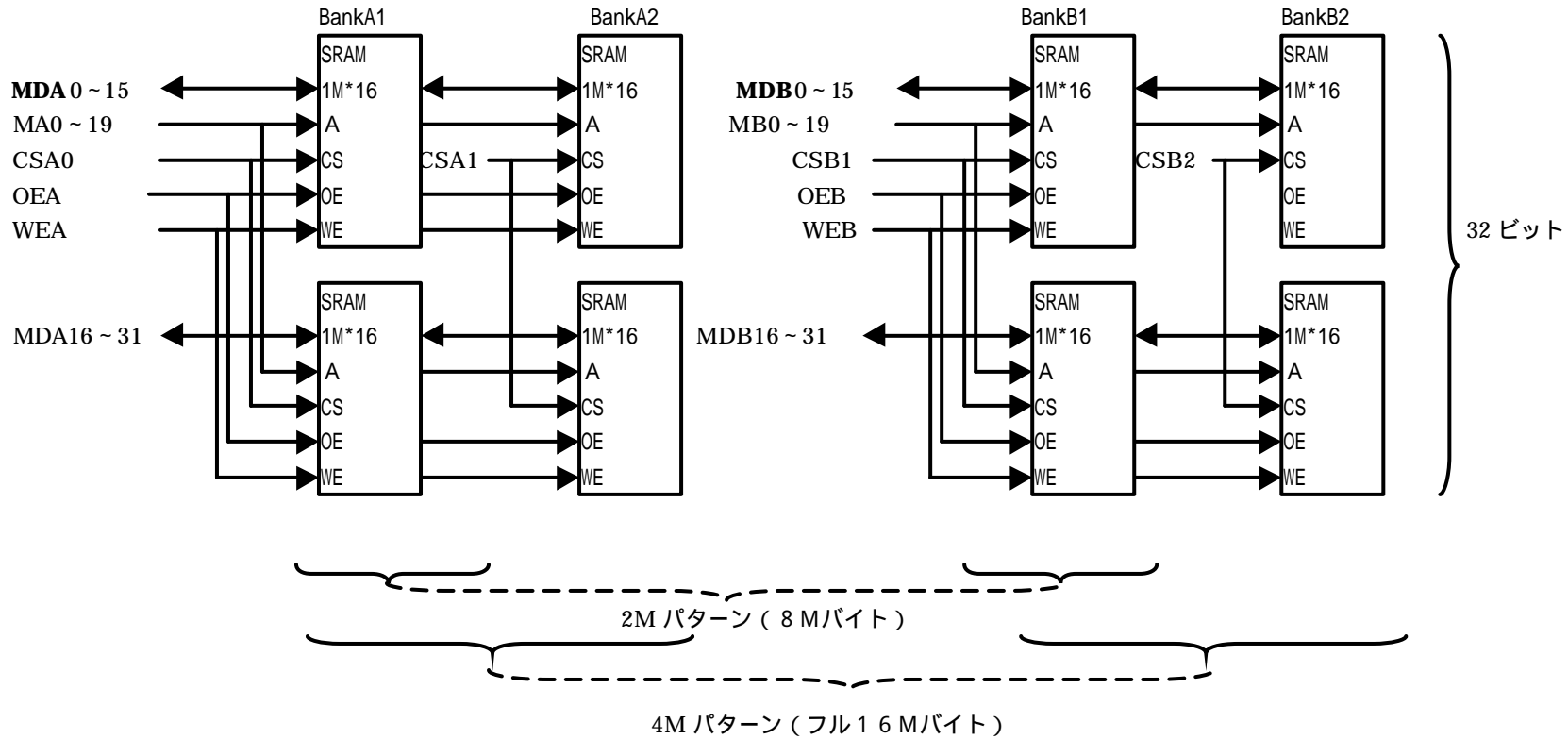


3 - 2 . S R A M部

2バンク構成とし、独立アクセスを可能とする。

使用チップ : uPD4416016 (1M * 16) 15n アクセス、 3 . 3 V 電源 NEC

制御 : C S コントロール



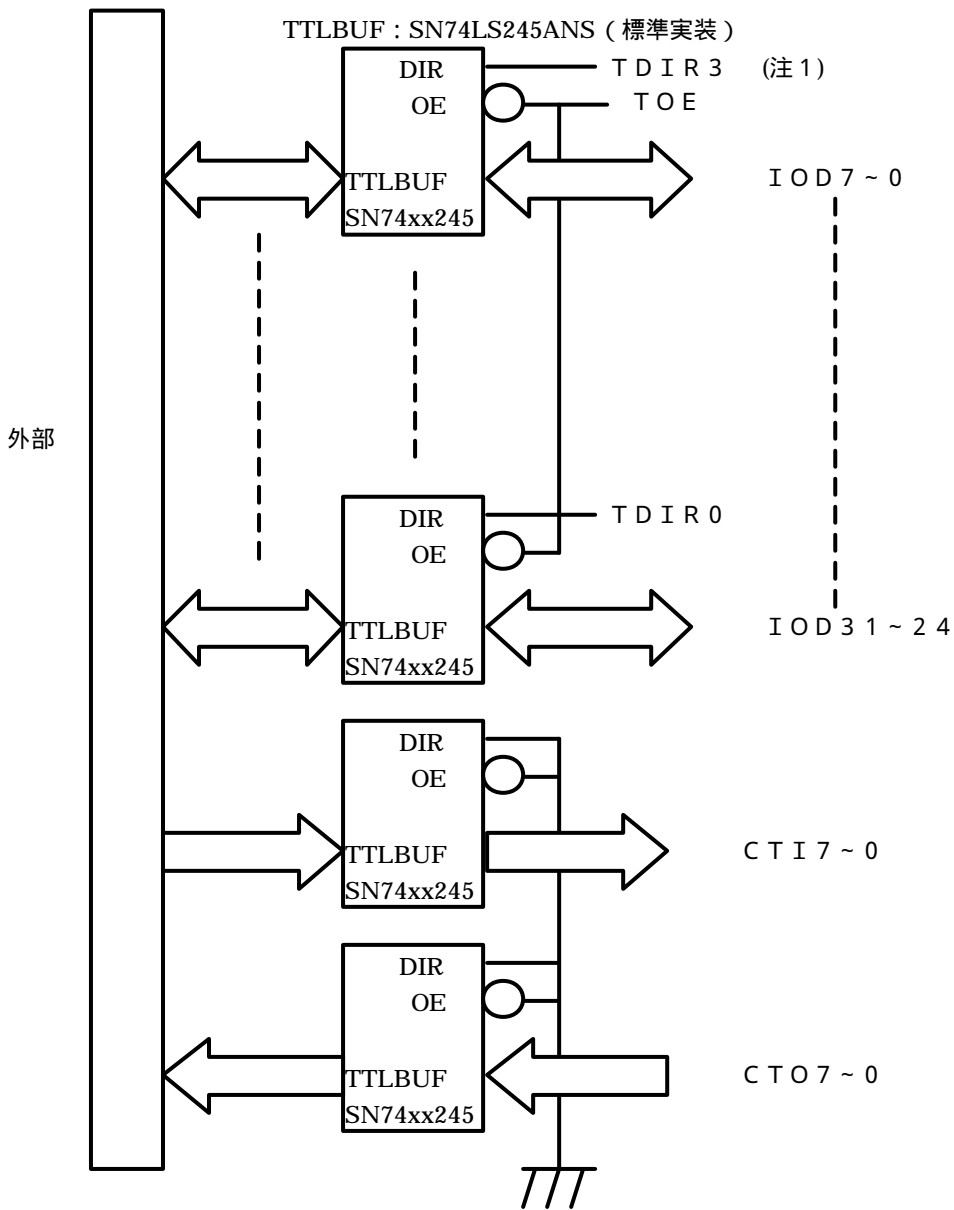
(注) 1 . バイトイネーブル (LB,UB) は、常に有効 (= low)

2 . SRAM のデータ幅は、原則として 32 ビットで、入出力差動の場合 16 ビットを 32 ビットに変換し、使用することにする。

3 - 3 . バッファ部

3 - 3 - 1 . T T L バッファ

6 8 ピンコネクタ

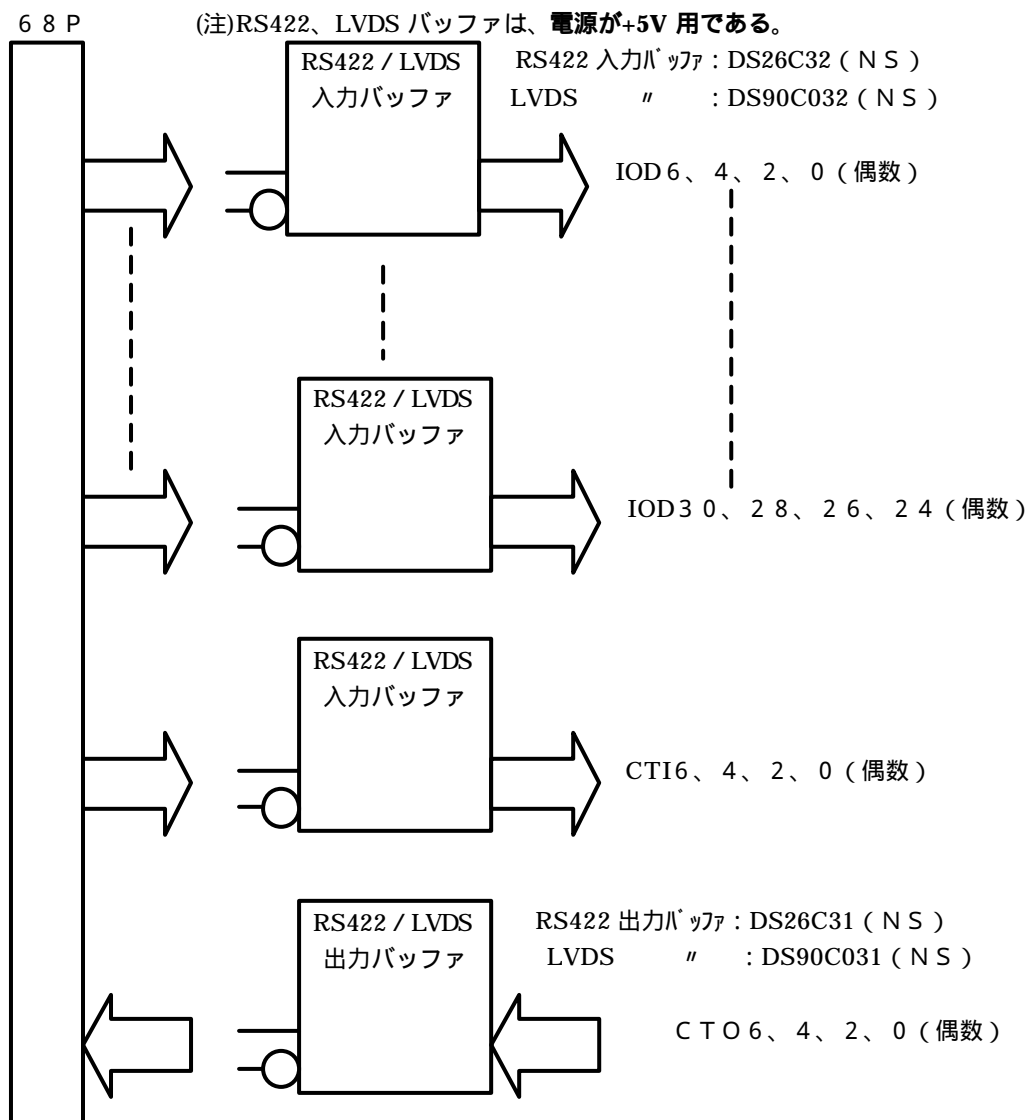


(注 1) バッファ方向(DIR)は、下記のようにになっている。

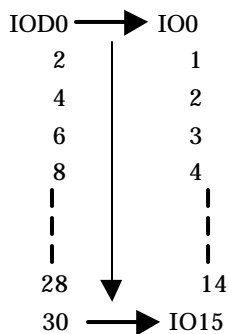
- TDIR 3 : IOD 7 ~ 0
- TDIR 2 : IOD 15 ~ 8
- TDIR 1 : IOD 23 ~ 16
- TDIR 0 : IOD 31 ~ 24

・ F P G A の ピン の 属 性 (I O _ S t a n d a r d) は 、 L V T T L に し て お く 。)

3 - 3 - 2 . 差動入力バッファ

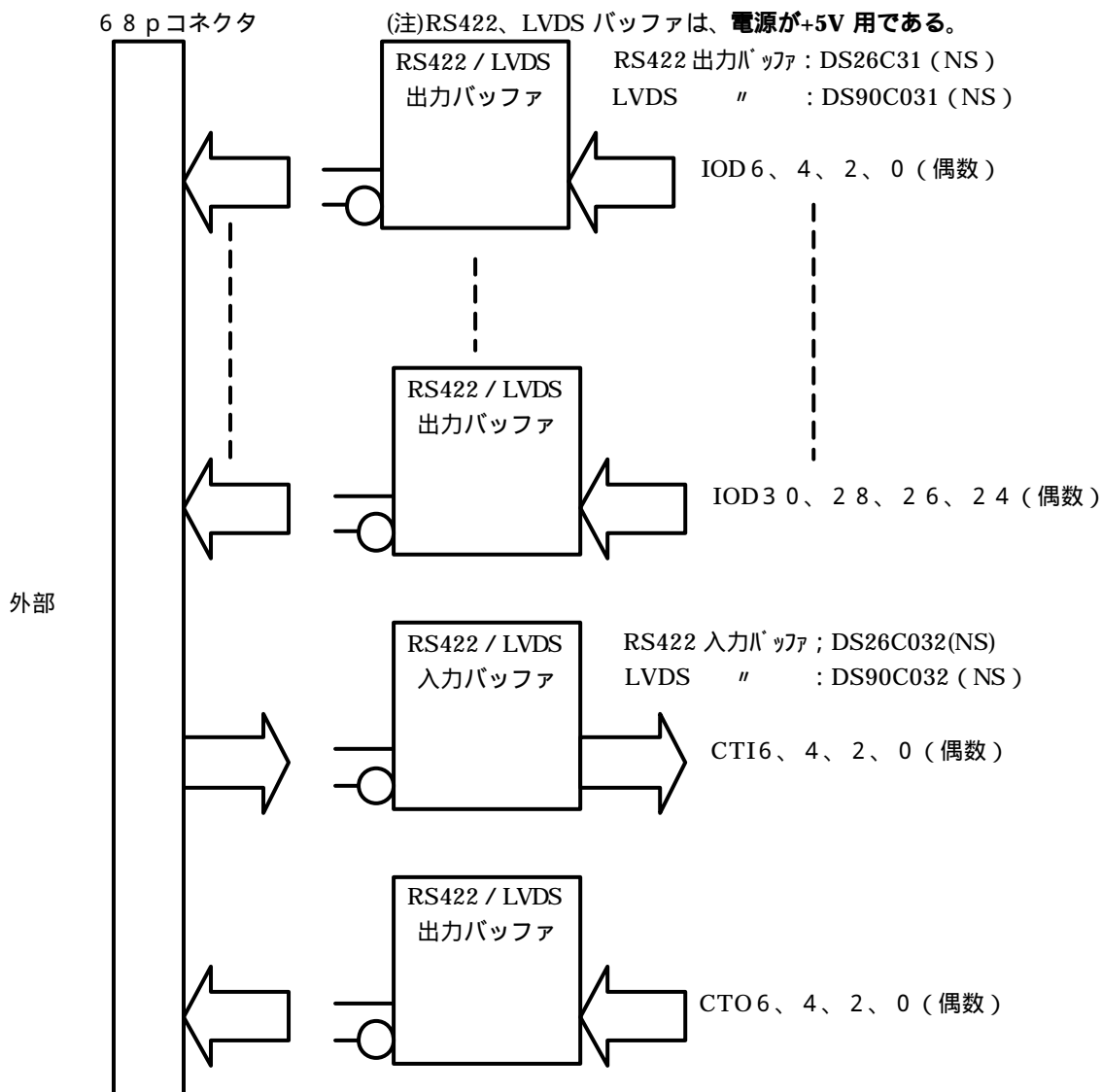


(注) FPGA に接続されている信号名が偶数なので、実際使いづらいので、FPGA のバッファモジュールで、変更するべきである。(データとコントロール共に)

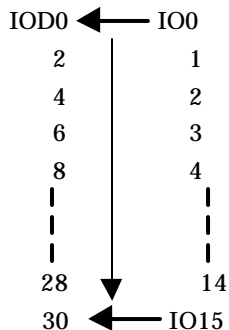


・FPGA のピンの属性(IO_Standard)は、LVTTL にしておく。

3 - 3 - 3 . 差動出力バッファ

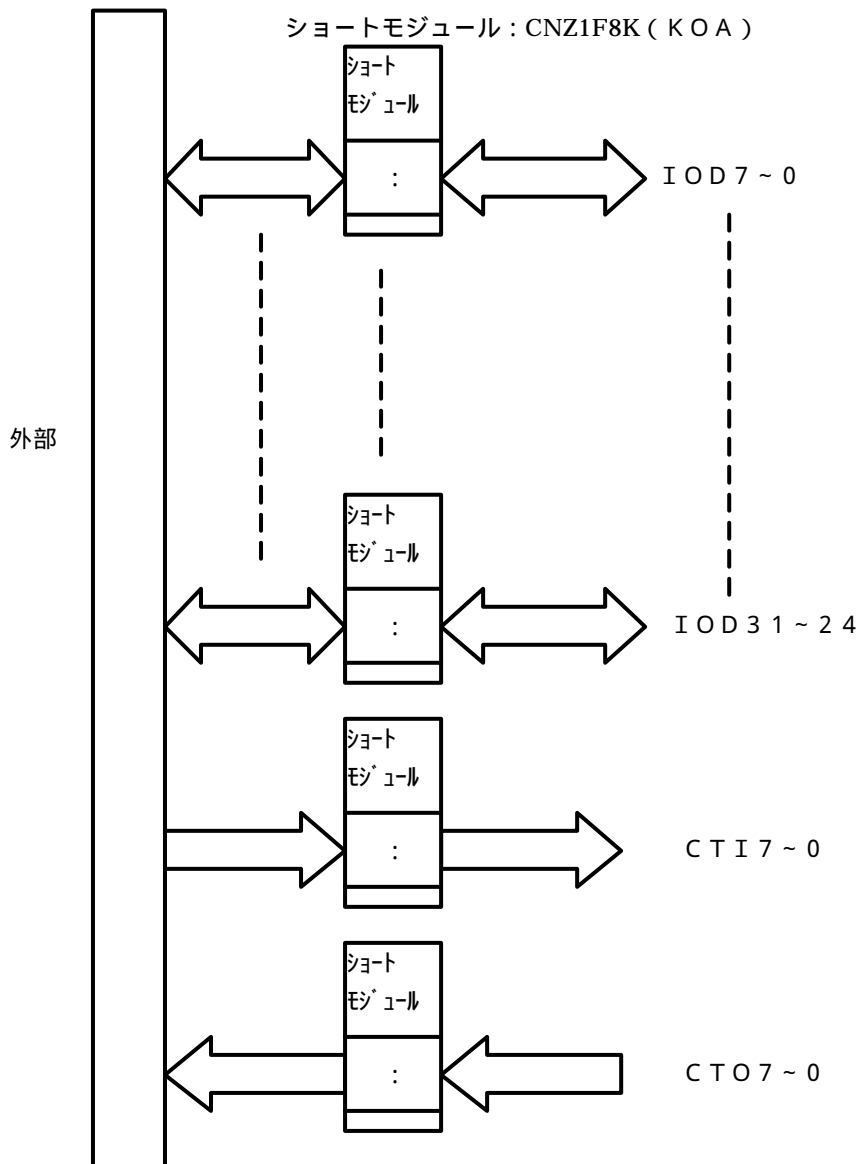


(注) FPGA に接続されている信号名が偶数なので、実際使いづらいため、FPGAのバッファモジュールで、変更するべきである。(データとコントロール共に)



・FPGAのピンの属性(IO_Standard)は、LVTTLにしておく。

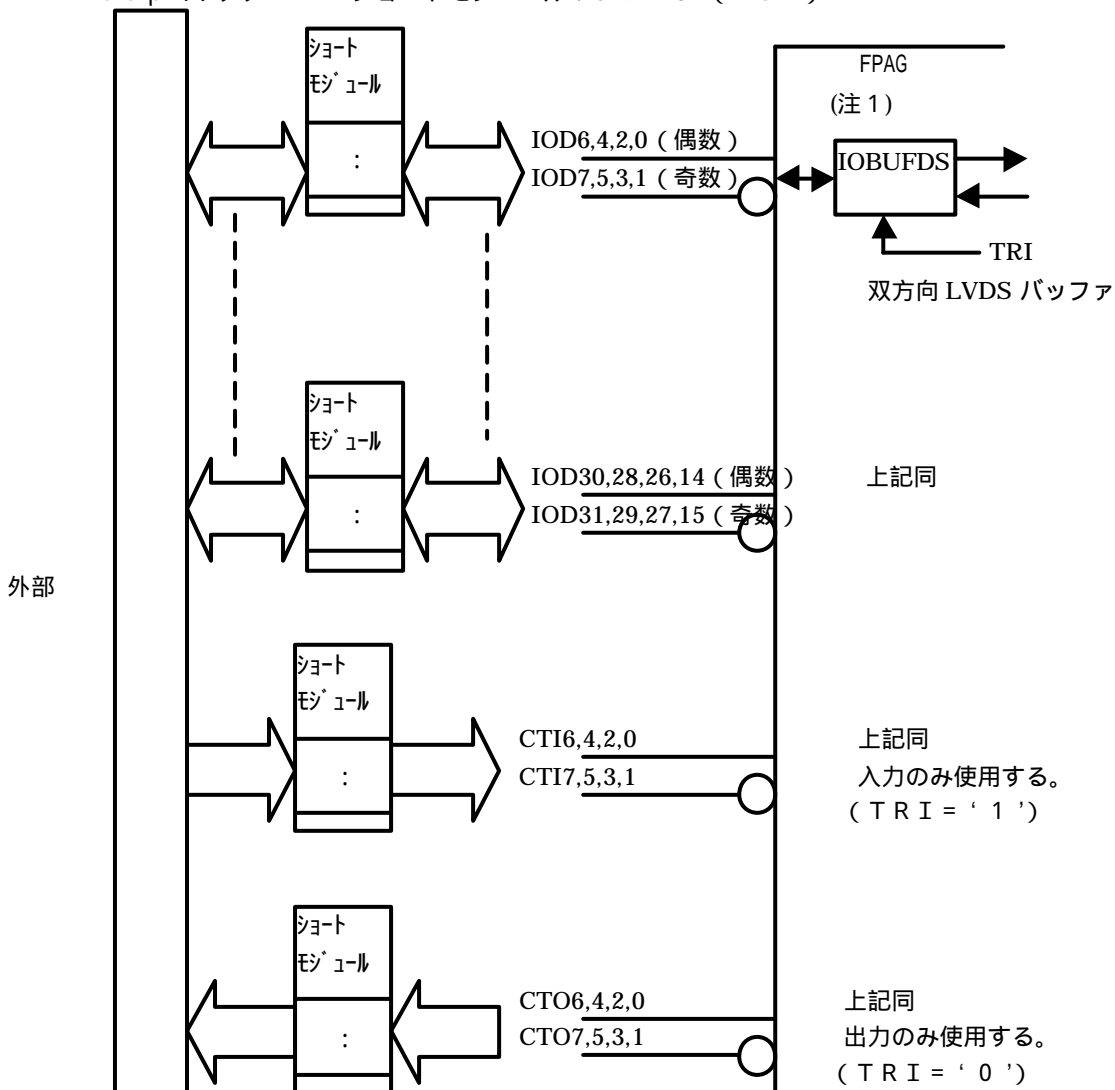
3 - 3 - 4 . バッファなしのLVTTTL
68ピンコネクタ



・ F P G A の ピン の 属 性 (I O _ S t a n d a r d) は 、 L V T T L に し て お く 。

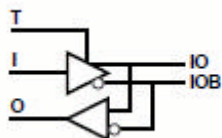
3 - 3 - 5 . パッファなしの L V D S

6 8 p コネクタ ショートモジュール : C N Z 1 F 8 K (K O A)



・ F P G A の ピンの 属性 (I O _ S t a n d a r d) は、 L V D S _ 2 . 5 に し て お く。

(注 1) I O B U F D S は、ザイリンクスのライブラリで、以下の回路になっている。



ザイリンクスのオンラインマニュアルの「ライブラリ」を参照。

4. 接続

4-1. 外部接続コネクタ (CN3)

型名: DHA-RC68-R131N(DDK): ハーフピッチ68ピンコネクタ
 ピンアサイン (TTL、差動と信号名が違う)

番号	信号名		番号	信号名	
	TTL	差動		TTL	差動
1	IO0	DIF0p	35	IO1	DIF0n
2	IO2	DIF1p	36	IO3	DIF1n
3	IO4	DIF2p	37	IO5	DIF2n
4	IO6	DIF3p	38	IO7	DIF3n
5	GND	GND	39	GND	GND
6	IO8	DIF4p	40	IO9	DIF4n
7	IO10	DIF5p	41	IO11	DIF5n
8	IO12	DIF6p	42	IO13	DIF6n
9	IO14	DIF7p	43	IO15	DIF7n
10	GND	GND	44	GND	GND
11	IO16	DIF8p	45	IO17	DIF8n
12	IO18	DIF9p	46	IO19	DIF9n
13	IO20	DIF10p	47	IO21	DIF10n
14	IO22	DIF11p	48	IO23	DIF11n
15	GND	GND	49	GND	GND
16	IO24	DIF12p	50	IO25	DIF12n
17	IO26	DIF13p	51	IO27	DIF13n
18	IO28	DIF14p	52	IO29	DIF14n
19	IO30	DIF15p	53	IO31	DIF15n
20	GND	GND	54	GND	GND
21	CTI0	CTI0p	55	CTI1	CTI0n
22	CTI2	CTI1p	56	CTI3	CTI1n
23	CTI4	CTI2p	57	CTI5	CTI2n
24	CTI6	CTI3p	58	CTI7	CTI3n
25	GND	GND	59	GND	GND
26	CTO0	CTO0p	60	CTO1	CTO0n
27	CTO2	CTO1p	61	CTO3	CTO1n
28	CTO4	CTO2p	62	CTO5	CTO2n
29	CTO6	CTO3p	63	CTO7	CTO3n
30	GND		64	GND	
31	RSV0	} (注1)	65	GND	
32	RSV1		66	GND	
33	RSV2		67	GND	
34	RSV3		68	GND	

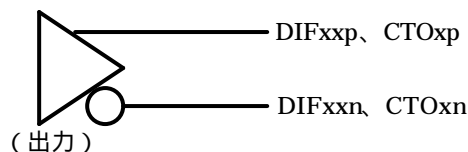
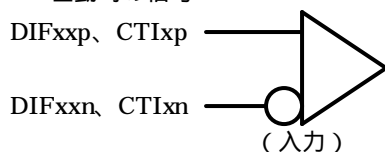
データ

コントロール入力

コントロール出力

(注1) RSV0~3 (Reserve0~3) は、FPGA 直結。

・差動時の信号

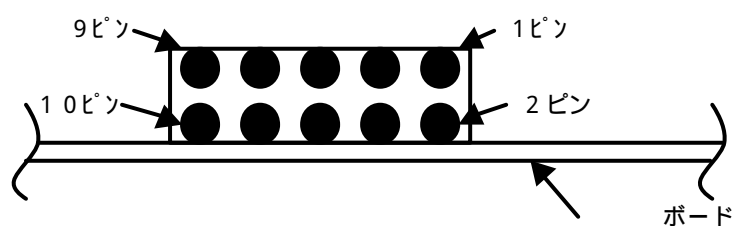


4 - 2 . 同期用接続ピンヘッダー (C N 4)

型名 : PS - 10PE - D4LT1 - PN1 (J A E) : 1 0 ピンピンヘッダー

信号名	ピン番号		信号名
PCDAT0	1	2	PCDAT1
PCDAT2	3	4	PCDAT3
PCDAT4	5	6	PCDAT5
PCDAT6	7	8	PCDAT7
PCDAT8	9	10	PCDAT9

(注)PCDAT 0 ~ 3 は、バッファなしの LVDS 使用時には、電源 (V C C O) が 2.5V になるので、使用しない。



4 - 3 . ALTERA のダウンロードコネクタ (C N 2)

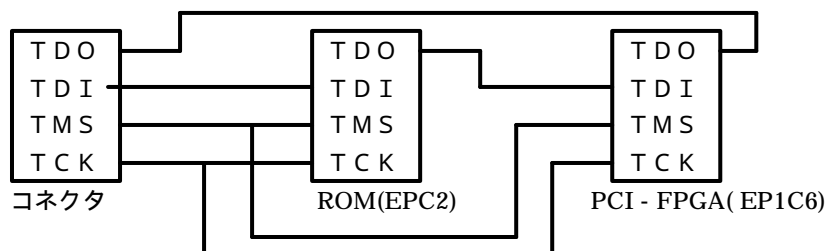
型名 : PS - 10PE - D4LT1 - B1 (J A E) : 1 0 ピン・ボックスヘッダコネクタ

ALTERA の BYTEBLASTER (M V / 2) を接続

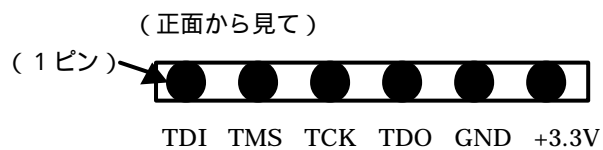
信号名	ピン番号		信号名
TCK	1	2	GND
TDO	3	4	+3.3V
TMS	5	6	
	7	8	
TDI	9	10	GND

デバイス接続

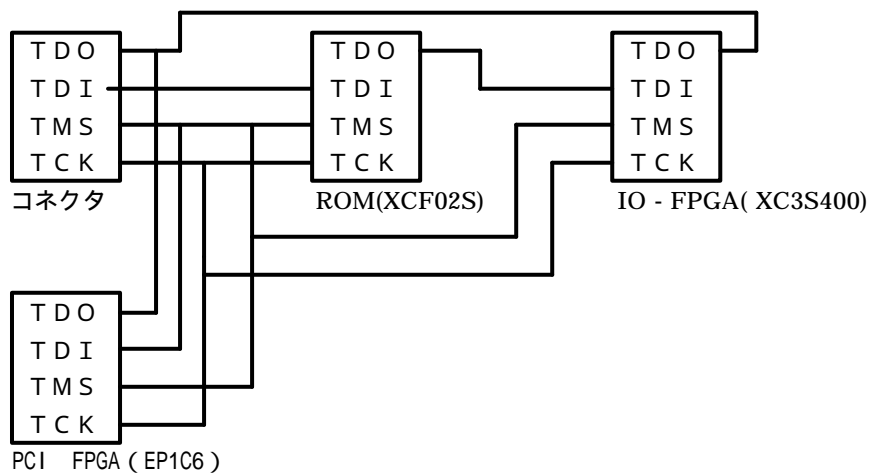
(J T A G)



4 - 4 . Xilinx ダウンロードコネクタ (C N 6)
6 ピンのピンヘッダー



デバイス接続
(J T A G)



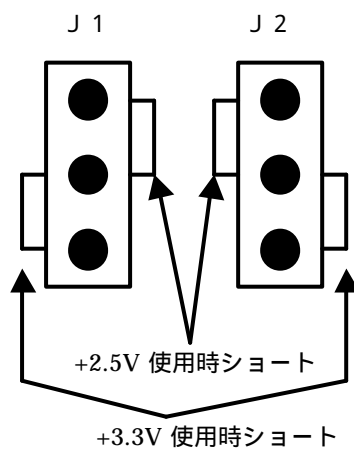
この接続は、Xilinx のダウンロードケーブルを使用せずに P C から PCI - FPGA を通してダウンロードするとき使用する。
このときは、Xilinx のケーブルは、接続しない。
また、通常この出力は、OFF になっている。

4 - 5 . ジャンパーピン (J 1 , J 2)

型名 : DSP03 - 003 - 432G (KEL)

バッファなしの L V D S を使用するとき V C C O を変更するために使用します。

変更するときには、J 1 と J 2 は同じように切り換える。



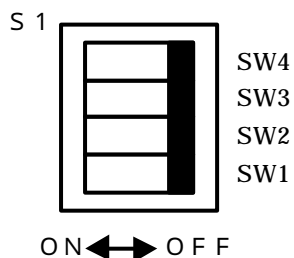
+2.5V 使用時 : バッファなし (F P G A 直結) の L V D S 使用。

+3.3V 使用時 : +2.5V 使用しないとき

(バッファ使用、バッファなしの L V T T L 時)

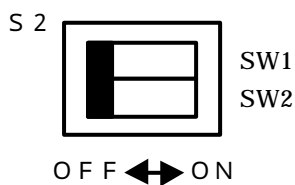
4 - 6 . ディップスイッチ (S 1 , S 2)

- (1) ボード識別用 4 極ディップスイッチ S 1 : PCI - FPGA に接続
型名 : CHS - 04B (コパル電子)



同じボードを複数枚使用时ボードの識別として使用する。
設定は、1 ~ F で 0 (オール OFF) は使用できない。

- (2) ユーザー使用 2 極ディップスイッチ S 2 : I O - FPGA に接続
型名 : CHS - 02B (コパル電子)



・ S 1 と方向が違います

SW 1 : コンフィギュレーションモード切替

ON : J T A G モード (Xilinx ダウンロードケーブルによるコンフィギュレーション)

OFF : マスタシリアルモード (電源 ON 時の ROM からのコンフィギュレーション)

(注) OFF にしていても、Xilinx のダウンロードケーブルによりコンフィギュレーション
できます。

SW 2 : ユーザー使用

ユーザーが、自由に使用できる。(標準 FPGA では、未使用)

4 - 7 . L E D (D 1、D 2、D 3、D 4)

型名 : SML - 210LTT86 (赤色) : D 1、D 3、D 4

SML - 210MTT86 (緑) : D 2

D 1 : P C I - F P G A 接続 (L E D 1)

F P G A が、コンフィギュレーションしてあれば点灯

(コンフィギュレーション中は消灯し、終了すると点灯する。)

D 2 : I O - F P G A 接続 (L E D 2)

ユーザーが、自由に使用できる。

現在は、C P U が I O - F P G A をアクセスしているとき点灯。

D 3 : ジャンパーで、+3.3V 選択時点灯

D 4 : " +2.5V "

4 - 8 . 発振器 (O 1 , O 2)

型名 : O 1 : HHC50ATW - 20MHz (K D K)

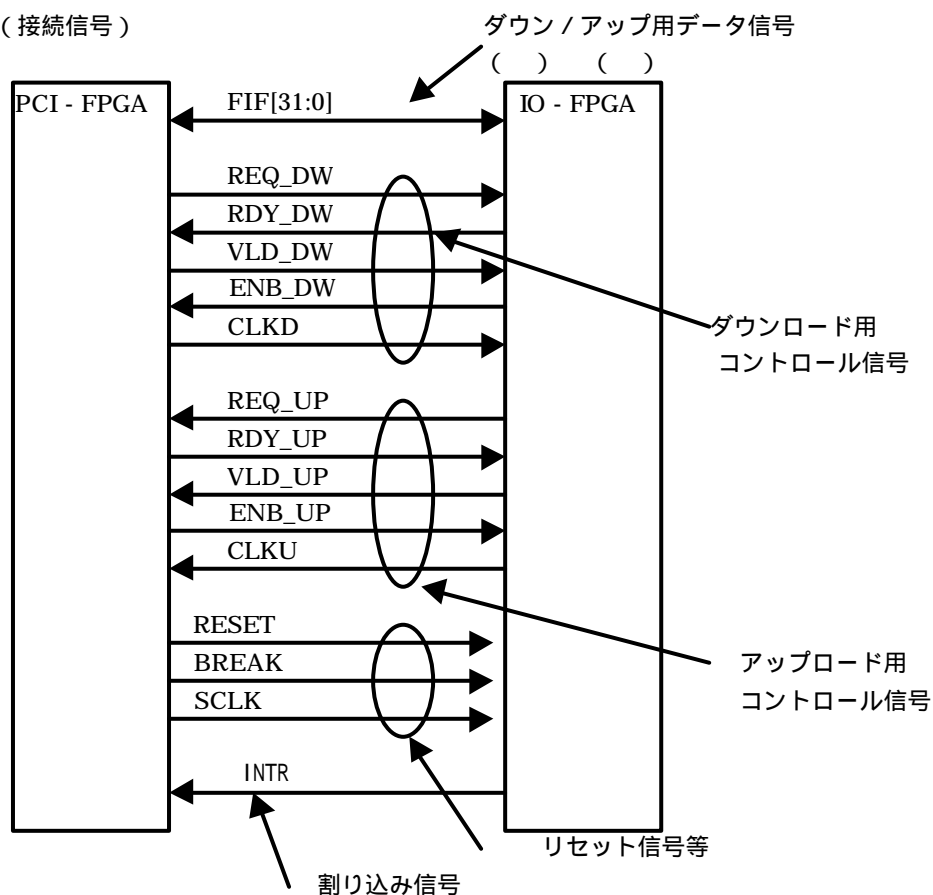
O 2 : FXO31FL - 50MHz (キンセキ)

O 1 (20MHz) : I O - F P G A に入力され、パターン出力用クロックとして使用する。

O 2 (50MHz) : " システムクロックとして内部動作に使用する。

4 - 9 . F P A G間接続 (F - I / F)

(接続信号)



標準では、以下のようになっている。

- ・ CLKD : ダウンロードクロック : $33\text{MHz} / 2 = 16\text{MHz}$ (60nS 周期)
- ・ CLKU : CLKD と同じ (ループバック) 16MHz クロック
- ・ RESET : PCIのレジスタ出力とパワー ON リセット (PCIリセット) の OR で、“ 1 ” でリセット。
IO - FPGA のリセットに使用している。
- ・ BREAK : 未使用。(PCI レジスタ出力)
- ・ SCLK : PCI クロック (33MHz)。未使用

(接続ピン番号)		(EP1C6)	(XC3S400)	備考	
番号	信号名	PCIFPGA ピン番号	IOFPGA ピン番号		
1	FIFO	240	AB4		
2	1	239	AA4		
3	2	238	Y5		
4	3	237	W5		
5	4	236	W6		
6	5	235	V6	ダウン/アップロード データバス	
7	6	234	AA6		
8	7	233	Y6		
9	8	228	W8	・ダウンロード	
10	9	227	V8	PCI-FPGA IO-FPGA	
11	10	226	AB8	・アップロード	
12	11	225	AA8	PCI-FPGA IO-FPGA	
13	12	224	W9		
14	13	223	V9		
15	14	222	AB9		
16	15	221	AA9		
17	16	220	Y10		
18	17	219	W10		
19	18	218	AB10		
20	19	217	AA10		
21	20	216	W11		
22	21	215	V11		
23	22	214	V12		
24	23	213	U12		
25	24	208	AA13		
26	25	207	Y13		
27	26	206	V13		
28	27	205	U13		
29	28	204	V14		
30	29	203	U14		
31	▼ 30	202	AB15		
32	FIF31	201	AA15	(PCI) 方向 (IO)	
33	REQ_DW	198	AA17	要求	
34	RDY_DW	185	W18	準備完了	ダウンロード コントロール
35	VLD_DW	200	W16	データ有効	
36	ENB_DW	199	V16	データ許可	
37	CLKD	194	Y11	送信拒否	
38	REQ_UP	195	V17	要求	
39	RDY_UP	184	V18	準備完了	アップロード コントロール
40	VLD_UP	197	Y17	データ有効	
41	ENB_UP	196	W17	データ許可	
42	CLKU	153	Y21	送信拒否	
43	RESET	193	AB18	リセット	
44	BREAK	188	AA18	ブレーク	
45	SCLK	187	AA11	PCIクロック (33MHz): 未使用	
46	INTR	186	Y18	割り込み	

4 - 10 . PCIバス

CN1のエッジコネクタとPCI-FPGA間の接続

IOG-PCIボード・ピンアウト表

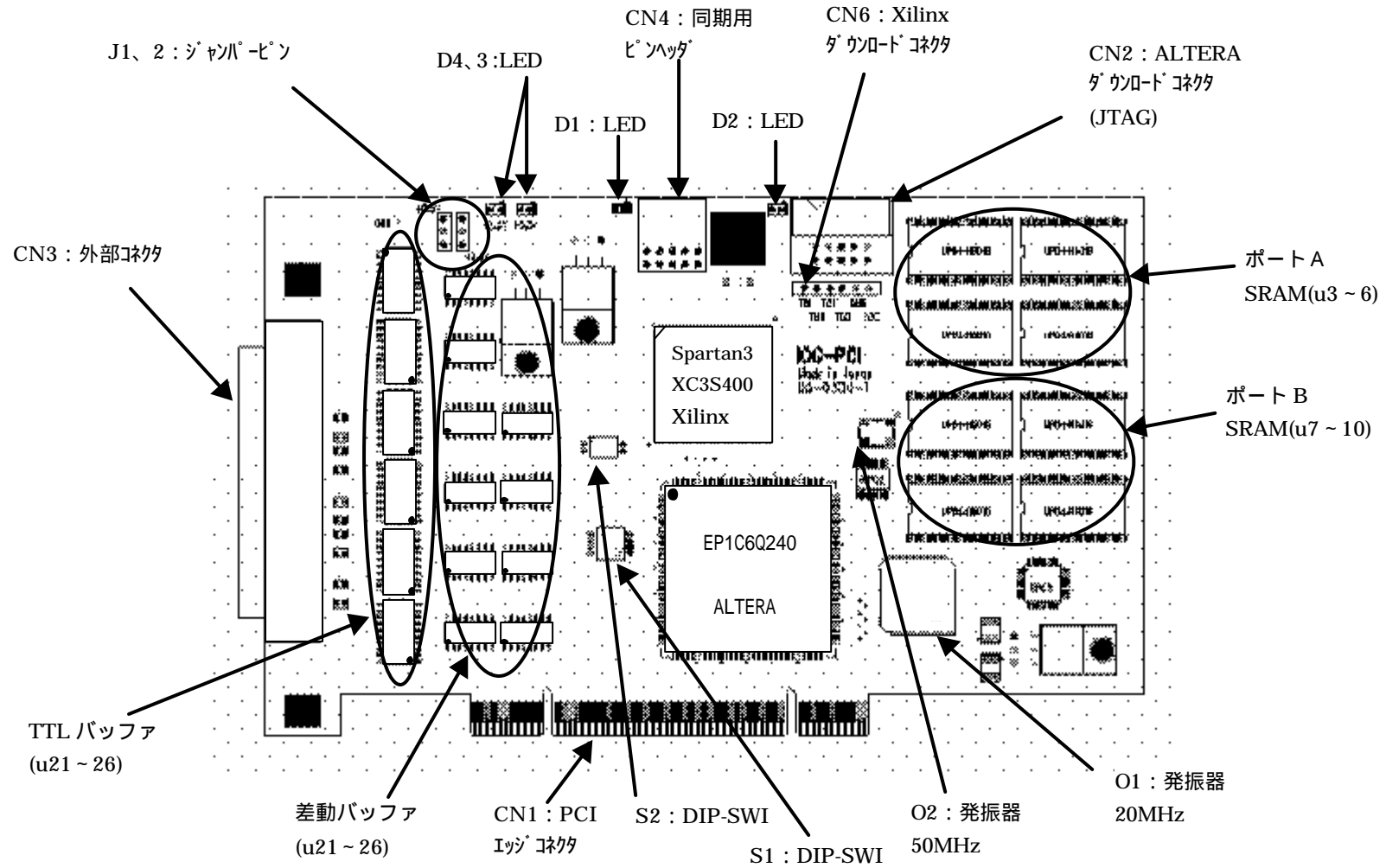
ピン 番号	部品面	半田面
1		
2		
3	GND	
4		
5	+5V	+5V
6	+5V	INTA
7		
8		+5V
9		
10		
11		
12		
13		
14		
15	GND	RST
16	CLK	
17	GND	GNT
18	REQ	GND
19		
20	AD31	AD30
21	AD29	+3.3V
22	GND	AD28
23	AD27	AD26
24	AD25	GND
25	+3.3V	AD24
26	CBE3	IDSEL
27	AD23	+3.3V
28	GND	AD22
29	AD21	AD20
30	AD19	GND
31	+3.3V	AD18
32	AD17	AD16
33	CBE2	+3.3V
34	GND	FRAME
35	IRDY	GND
36	+3.3V	TRDY
37	DEVSEL	GND
38	GND	STOP
39	LOCK	+3.3V
40	PERR	
41	+3.3V	
42	SERR	GND
43	+3.3V	PAR
44	CBE1	AD15
45	AD14	+3.3V
46	GND	AD13
47	AD12	AD11
48	AD10	GND
49	GND	AD09
50		
51		
52	AD08	CBE0
53	AD07	+3.3V
54	+3.3V	AD06
55	AD05	AD04
56	AD03	GND
57	GND	AD02
58	AD01	AD00
59		
60		
61	+5V	+5V
62	+5V	+5V

4 - 1 1 . 電源供給

- (1) バッファ (TTL / 差動) の電源
PCI の + 5 V を使用する。
- (2) PCI - FPGA の VCCI (+1.5V)
PCI の + 3 . 3 V からレギュレータ (LT1086) で +1.5V を作成使用する。
- (3) PCI - FPGA の VCCO (+3.3V)
PCI の + 3 . 3 V を使用する。
- (4) IO - FPGA の VCCI (+1.2V)
PCI の + 3 . 3 V からレギュレータ (LT1086) で +1.2V を作成使用する。
- (5) IO - FPGA の VCCO (+3.3V) 。 LVDS 用のブロックは除く
PCI の + 3 . 3 V を使用する。
- (6) IO - FPGA の VCCO (+3.3V/+2.5V) 。 LVDS 用ブロック
PCI の + 5 V からレギュレータ (LT1086) で +2.5V/+3.3V を作成使用する。
+2.5V と +3.3V は、ジャンパーによる選択。
+2.5V : バッファなし (FPGA 直結) の LVDS 使用時。
+3.3V : 上記 以外
- (7) IO - FPGA の VCCAUX (+2.5V)
PCI の + 5 V からレギュレータ (LT1086) で +2.5V を作成使用する。

5. 実装部品図

(部品面)



(半田面)

ショートモジュール
(RC1~6)

