

P-PCI- L V

ハード仕様書

株式会社 ファード

変更履歴
2001.11/3

第一版

この仕様書は、予告無く変更されることがありますのでご注意下さい。

目次	ページ
1. 製品仕様	3
1.1. ボード	3
1.2. 概略ブロック図	3
1.3. マスター動作	4
1.4. ターゲット動作	4
1.5. 外部インターフェース	4
2. アドレスマップ	5
2.1. I/O アドレスマップ	5
2.2. メモリアドレスマップ	5
3. レジスタ詳細	6
3.1. 外部バス出力レジスタ	6
3.2. LED レジスタ	6
3.3. SW レジスタ	6
3.4. 転送アドレス	6
3.5. 転送データ数	6
3.6. モードレジスタ	6
3.7. ステータスレジスタ	7
3.8. 転送データカウンタのリード	7
4. ピン配列	8
外部コネクタ	8
5. 外部信号概要	10
5.1. 制御権とは	10
5.2. マスター動作時	10
5.3. ターゲット動作時	10
5.4. クロック出力	11
6. タイミングチャート	12
6.1. マスターモード	12
6.1.1. 外部 > 本ボード	12
6.1.2. 本ボード > 外部	12
7. その他	13
7.1. 接続ケーブル	13

1. 製品仕様

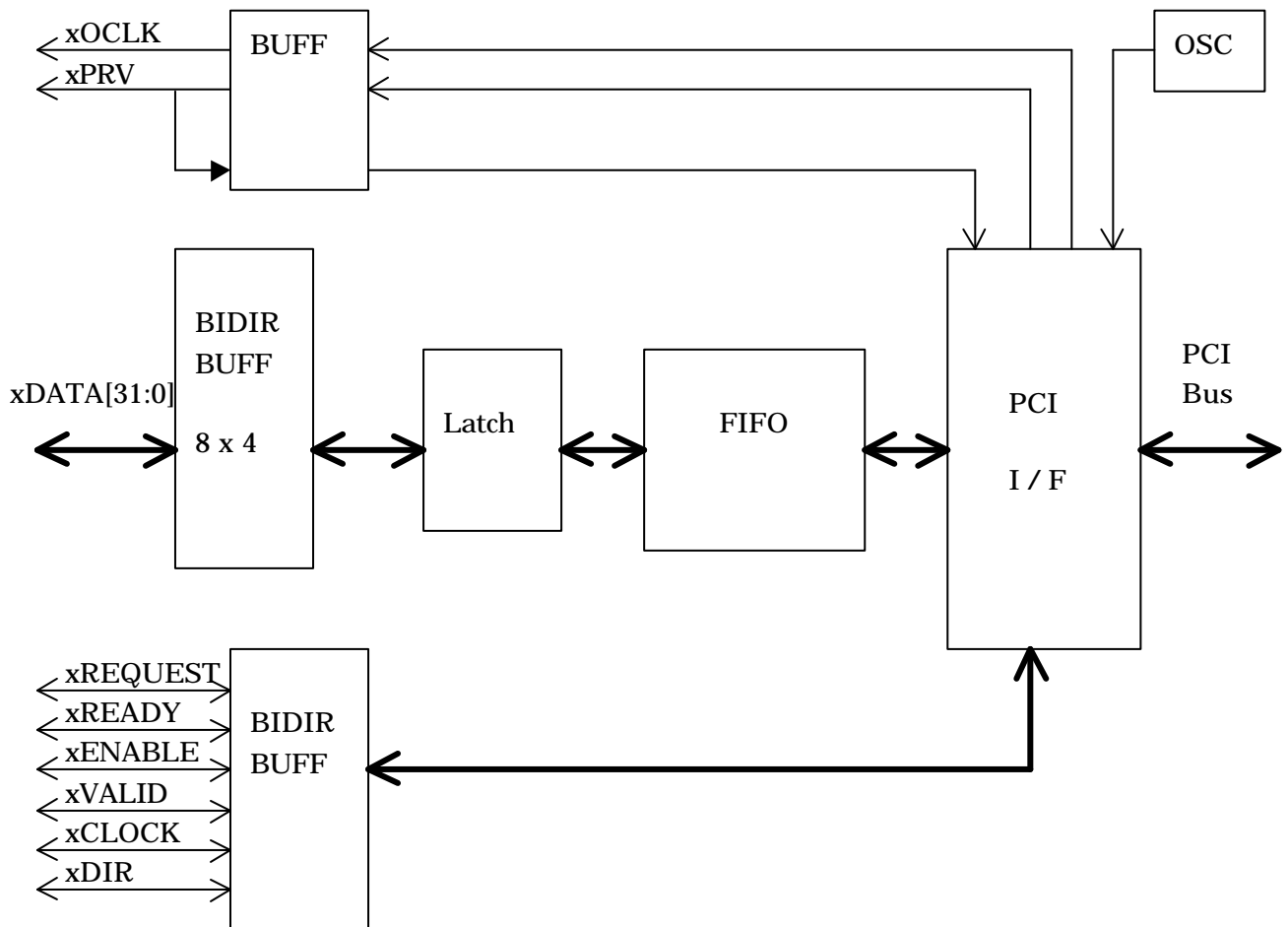
1.1. ボード

パソコン用の PCI 規格のハーフサイズボードである

PCI インターフェース部は小社の仮のベンダー ID が書き込まれていますが、ベンダー ID を書き換えての出荷可能。

本ボードは、当社“P-PCI”ボードの“LVDS版”です。

1.2. 概略ブロック図



< 図 1 >

1.3. マスター動作

転送スピード： PCI 部では最大瞬間スピード 133Mbytes / sec
 平均スピード 50Mbytes / sec
 外部バスでは最大瞬間スピード 50Mbytes / sec
 平均スピード 50Mbytes / sec
 転送幅： 32 ビットバス
 転送方向： 制御権を獲得している側が、転送方向を決定

*

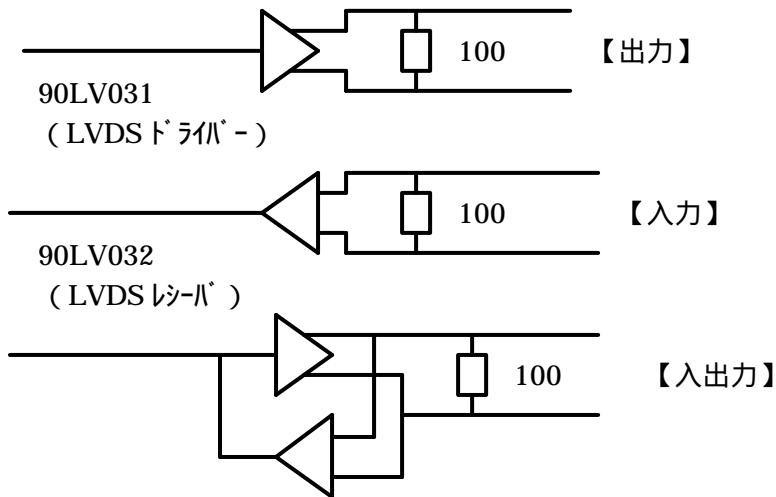
* 詳細は後述の、‘外部信号概要’ および ‘タイミングチャート’ の項を参照のこと。

1.4. ターゲット動作

転送幅： 32 ビットバス
 転送方向： 8 ビット単位で、入出力方向の設定可能
 LED 出力： 基板上に 8 ビットの LED を設置
 DIPSW 入力： 基板上に 8 ビットの DIP SW を設置

1.5. 外部インターフェース

入力、出力とも LVDS レベル (90LV031 及び 90LV032 相当)。
 すべて本基板内部で、100 Ω で終端されている。
 本基板と通信する部分は、以下の回路になっています。



(注意) 基板上で 100 Ω 終端されています。
 作成基板側でもレシーバ部は 100 Ω 終端して下さい。

< 図 2 >

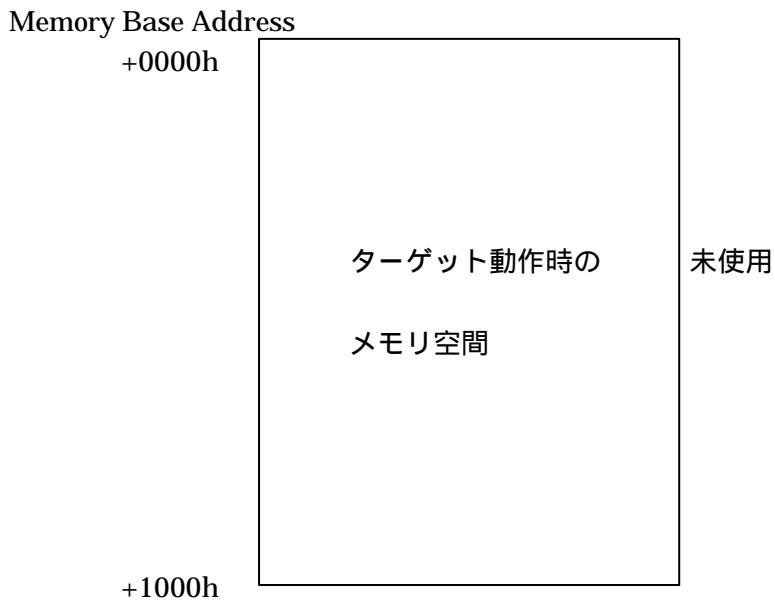
2. アドレスマップ

2.1. I/O アドレスマップ

I/O Base Address	31	0		
+00h	外部バス入出力レジスタ		32 ビット	ターゲット時
+04h	LED レジスタ		On ボードの 8 ビット	ターゲット時
+08h	SW レジスタ		On ボードの 8 ビット	ターゲット時
+0Ch	転送アドレス		PC 側アドレス	マスタ時
+10h	転送データ数		Byte 数で指定	マスタ時
+14h	モードレジスタ			共通
+18h	ステータスレジスタ			共通
+1Ch	未使用			
+20h	転送カウンター			マスタ時

< 図 3 >

2.2. メモリアドレスマップ



< 図 4 >

3. レジスタ詳細

3.1. 外部バス出力レジスタ

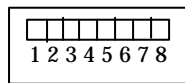
D31 ... D0	32 ビット有効 外部バスの入出力 (正論理) ただしモードレジスタで 8 ビット単位で入出力を設定する。	ターゲット時
------------	---	--------

3.2. LED レジスタ

D31 ... D8	On ボードの 8 ビット 空き	ターゲット時
D7 ... D0	LED へ出力 (1 で点灯)	

3.3. SW レジスタ

D31 ... D9	On ボードの 8 ビット 空き	ターゲット時
D7 ... D0	SW から入力 (ON で 1)	



下側に倒すと ON(1)
1 が LSB(D0)、8 が MSB(D7)

(注意) 下位 4 ビット (上の図の 1~4) は、1 台のパソコンで複数枚の P-PCI-LV ボードを動作させる場合の ID として使用する。

3.4. 転送アドレス

D31 ... D0	PC 側アドレス マスタ転送時の PC 側のバッファ物理アドレス 下位 2 ビットは常時 0 とする。(Double Word 境界)	マスタ時
------------	---	------

3.5. 転送データ数

D31 .. 28	転送データバイト数 空き	マスタ時
D27 ... D0	マスタ転送時の転送バイト数 (MAX256Mbyte) 下位 2 ビットは常時 0 とする。(Double Word 単位) 設定は、 <u>転送バイト数 - 4</u> で行う。	

3.6. モードレジスタ

	MODE	共通
D31	MSTSTT	1 でバスマスタ RUN
D30 ... D20		空き
D19	INTCLR	1 で割り込み要因クリア (パルス出力)
D18	RSTTMSK	1 で開始要求割り込みマスク、0 で解除
D17	STPMSK	1 で強制終了割り込みマスク、0 で解除
D16	ENDMSK	1 で正常終了割り込みマスク、0 で解除
D15 ... D9		空き
D8	RUNMOD	0 でターゲットモード (Default) 1 でマスタ(ブロック転送)モード
D7	PRV	0 で本基板が制御権を持つ [DIR、RDY] 1 で外部が制御権を持つ
D6	DIR	制御権を獲得していれば有効 0 で外部バス > PC メモリ (Default) 1 で PC メモリ > 外部バス
D5,4		空き
D3	DIR3	1 で外部ポートの D31 ~ D24 が出力、0 で入力 (Default)
D2	DIR2	1 で外部ポートの D23 ~ D16 が出力、0 で入力 (Default)
D1	DIR1	1 で外部ポートの D15 ~ D8 が出力、0 で入力 (Default)
D0	DIR0	1 で外部ポートの D7 ~ D0 が出力、0 で入力 (Default)

3.7. ステータスレジスタ

	ステータス	共通	
D31	MSTBSY	1でバスマスタ実行中、0で終了停止状態。	
D30 ... D20		空き	
D19	INTCLR	1で割り込み要因クリア (パルス出力)	
D18	RSTTINT	1で転送開始要求割り込み有り	注意 1
D17	STPINT	1で転送強制終了割り込み有り	注意 2
D16	ENDINT	1で転送正常終了割り込み有り	注意 3
D15 ... D9		空き	
D8	RUNMOD	0でターゲットモード、1でマスタモード	
D7	PRV	0で外部が制御権を獲得している、1でしていない。	
D6	DIR	制御権を獲得している時は 1で出力、0で入力 制御権を獲得していない時は 1で入力、0で出力	
D5	B_SENSE	常時 1	
D4		空き	
D3	REQUEST	ブロック転送時の xREQUEST 信号の状態	1でアクティブ
D2	READY	ブロック転送時の xREADY 信号の状態	1でアクティブ
D1	ENABLE	ブロック転送時の xENABLE 信号の状態	1でアクティブ
D0	VALID	ブロック転送時の xVALID 信号の状態	1でアクティブ

注意 1) RSTTINT ステータスは FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がアクティブになった時

注意 2) STPINT ステータスも FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がインアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がインアクティブになった時
この時ブロック転送も強制的に停止されます。

注意 3) ENDIR ステータスも FPGA 内部信号ですが、転送データ数レジスタ分の転送が終了した場合、発生する。

3.8. 3.8. 転送データカウンタのリード

D27 ~ 0 : 転送バイトカウンタレジスタ
入力及び出力データのカウンタです。
ビット 0 と 1 は、"0"固定です。

- (注) 転送中リードしたときの値は、保証されません。
通常は、転送終了した時点でリードしてください。

4. ピン配列

4.1. 外部コネクタ

差動+側	コネクタピン番号		差動-側	I / O
XD00+	1	49	XD00-	InOut
XD01+	2	50	XD01-	↓
XD02+	3	51	XD02-	
XD03+	4	52	XD03-	
XD04+	5	53	XD04-	
XD05+	6	54	XD05-	
XD06+	7	55	XD06-	
XD07+	8	56	XD07-	
XD08+	9	57	XD08-	↓
XD09+	10	58	XD09-	InOut
GND	11	59	GND	GND
XD10+	12	60	XD10-	InOut
XD11+	13	61	XD11-	↓
XD12+	14	62	XD12-	
XD13+	15	63	XD13-	
XD14+	16	64	XD14-	
XD15+	17	65	XD15-	
XD16+	18	66	XD16-	
XD17+	19	67	XD17-	
XD18+	20	68	XD18-	↓
XD19+	21	69	XD19-	InOut
GND	22	70	GND	GND
XD20+	23	71	XD20-	InOut
XD21+	24	72	XD21-	↓
XD22+	25	73	XD22-	
XD23+	26	74	XD23-	
XD24+	27	75	XD24-	
XD25+	28	76	XD25-	
XD26+	29	77	XD26-	
XD27+	30	78	XD27-	
XD28+	31	79	XD28-	
XD29+	32	80	XD29-	
XD30+	33	81	XD30-	↓
XD31+	34	82	XD31-	InOut
GND	35	83	GND	GND

次ページに続く

XVALID +	36	84	XVALID -	InOut
XENABLE +	37	85	XENABLE -	OutIn
XREQUEST +	38	86	XREQUEST -	In (Out)
XREADY +	39	87	XREADY -	Out (In)
N.C	40	88	N.C	
N.C	41	89	N.C	
N.C	42	90	N.C	
N.C	43	91	N.C	
GND	44	92	GND	GND
XCLOCK +	45	93	XCLOCK -	OutIn
XDIR +	46	94	XDIR -	Out (In)
XOCLK +	47	95	XOCLK -	Out
XPRV +	48	96	XPRV -	Out (In)

InOut : Read 時 In で Write 時 Out

OutIn : Read 時 Out で Write 時 In

カッコ内は制御権を持たない(外部が持つ)場合の方向を示す。

(注意)

1 . ターゲットモードでは、xD0 ~ xD31 までは 8 ビット単位で入出力の設定が可能

*1 xOCLK は、12.288MHz が常時出力されている。

*2 PRV 制御権信号は、High (相手側が Low に駆動していない状態) の時、出力(Low に駆動)することができる。

使用コネクタ

本多通信工業社製

PCR-E96LMD

PCR-E96FA

基板側

外部ケーブル側

5. 外部信号概要

5.1. 制御権とは

制御権とは、転送方向 (xDIR に出力) を決めることができる権利をいう。特に本ボードの外部から転送方向を制御する必要が無ければ本ボードを '制御権を持つ場合' 側で動作させる。

その時、転送開始要求である xREQUEST は相手側から入力することになる。制御権はマスター転送時のみ有効。制御権を持つとする場合は、xPRV 信号を入力し、外部が制御権を獲得していない(High レベル)ことを確認後に Low レベルにする。制御権の具体的な使用例は '使用例説明書' を参照のこと。

5.2. マスター動作時

制御権を	持つ場合 (通常こちら側で使用)		持たない場合	
	Write (Output)	Read (Input)	Write (Output)	Read (Input)
XOCLK	出力	出力	出力	出力
XDIR	出力	出力	入力	入力
XREQUEST	入力	入力	出力	出力
XREADY	出力	出力	入力	入力
XENABLE	入力	出力	入力	出力
XVALID	出力	入力	出力	入力
XCLOCK	出力	入力	出力	入力
XDATA	出力	入力	出力	入力
XPRV	出力	出力	入力	入力

XPRV (制御権) 信号を使用しない場合は、コネクタ部の信号 XPRV_± は N.C として下さい。本ボードが制御権を取り XPRV をアクティブ (Low) にします。

5.3. ターゲット動作時

制御権を持つ持たないとは無関係に以下のようになる。

	Write (Output)	Read (Input)
XOCLK	出力	出力
XREQUEST	無効 (HiZ)	無効 (HiZ)
XREADY	無効 (HiZ)	無効 (HiZ)
XENABLE	無効 (HiZ)	無効 (HiZ)
XCLOCK	無効 (HiZ)	無効 (HiZ)
XVALID	無効 (HiZ)	無効 (HiZ)
XDATA	出力	入力 (注意 1)

注意 1) 8 ビット単位で、モードレジスタにより入出力の設定が可能。

5.4. クロック出力

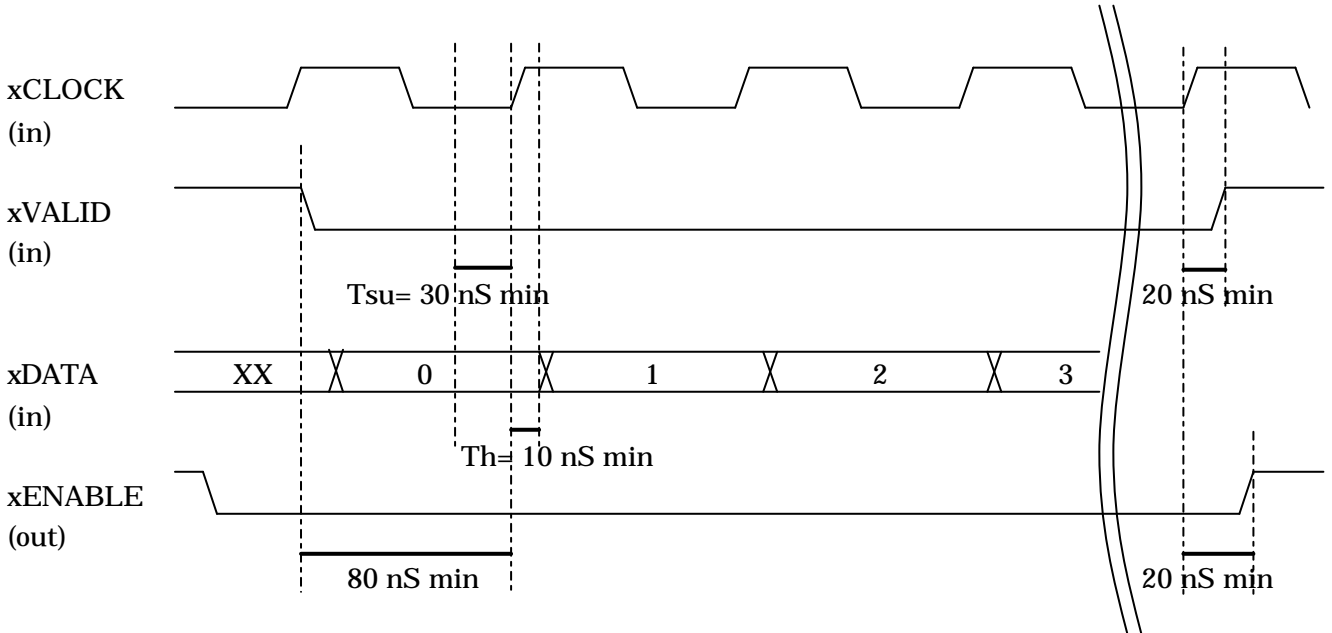
内部クロックを XOCLK ピンに、常時出力されている。

6. タイミングチャート

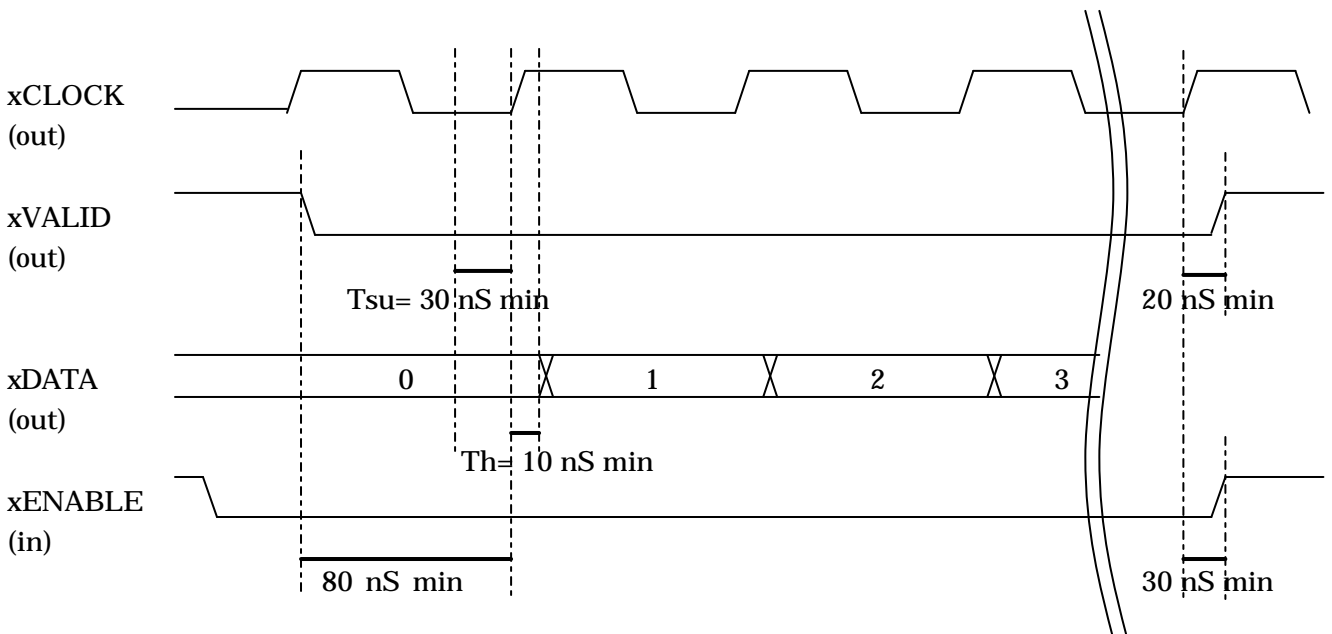
6.1. マスターモード

以下は、xREQUEST も xREADY もアクティブ状態でのタイミングチャートを示す。

6.1.1. 外部 > 本ボード



6.1.2. 本ボード > 外部



7. その他

7.1. 接続ケーブル

オプション扱い。受注生産とする。

両端メスコネクタ、

片端メスコネクタ片端バラ、

さらに、ケーブル長も 1、1.5、2mなどがあります。