

高速、大容量入力ボード(LVDS インターフェース)

MS-PCI ハート仕様書

第 3 版

株式会社 ファード

〒183-0006 府中市緑町 3-8 2新東邦ビル 4F

TEL 042-362-5072 FAX 042-369-8026

fird@coral.ocn.ne.jp www2.ocn.ne.jp/~fird

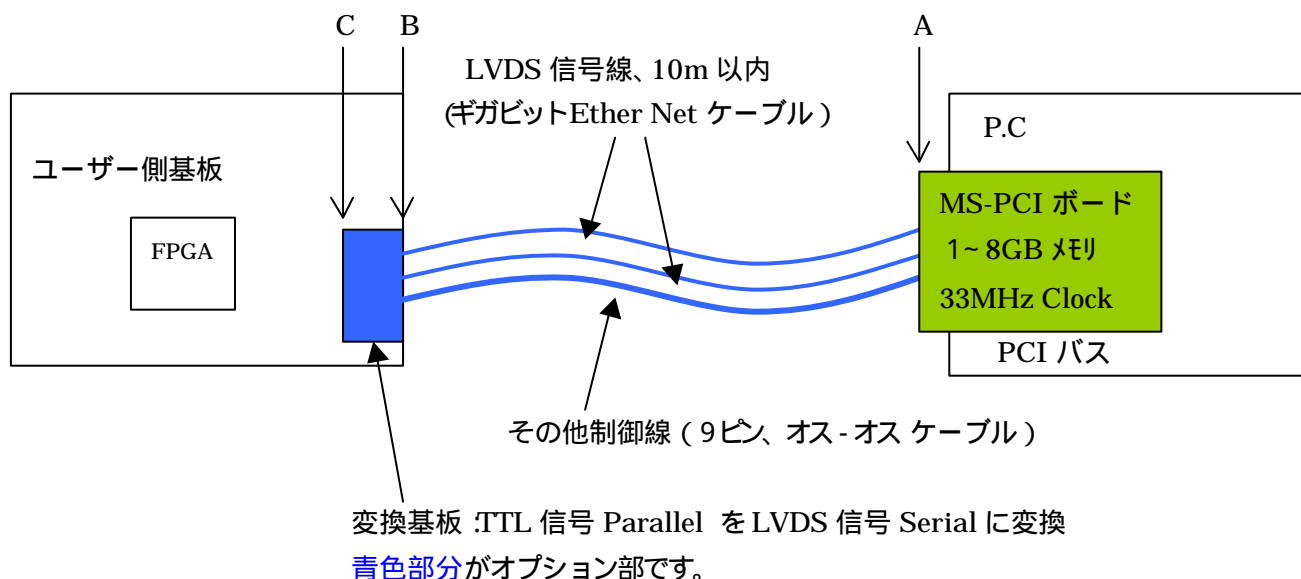
【改版履歴】

年月日	改 版	内 容	
2002/6/24	初 版		
2002/8/5	第 2 版	割込みに関する記述の追加	
		変換基板 (Option) の CN6 の信号変更	2 部分
2003/5/2	第 3 版	ステータス内容ミス修正	3 部分

目 次

1. 構 成	3
2. 添付ファイル.....	3
3. 動作説明.....	4
3.1. 基本動作.....	4
3.2. タイミングチャート.....	4
3.3. 割り込みについて.....	5
3.4. DIMM メモリについて.....	5
3.5. 動作速度について	5
4. レジスタ.....	6
4.1. reg_RESET.....	6
4.2. reg_CMND	6
4.3. reg_TR_AD.....	6
4.4. reg_SV_AD.....	6
4.5. reg_TR_SZ.....	7
4.6. reg_SV_SZ.....	7
4.7. reg_MASK.....	7
4.8. reg_STATUS.....	7
4.9. reg_CONT	8
4.10. reg_MODE.....	8
5. コネクタピン配置.....	9
5.1. MS-PCI 基板.....	9
5.2. 変換基板 (オプション).....	10
6. ジャンパー設定.....	11
7. FPGA 設計.....	11
7.1. PCI 側 FPGA とのインターフェース.....	11

1. 構成



A および B 部

- Serialize された LVDS 信号です。
- コネクタは RJ45 コネクタ (4 対 8 芯) 2 個と 9 ピン DSUB コネクタ 1 個の構成です。

C 部分

- Parallel の TTL 信号です
- コネクタは 30 ピンコネクタ 2 個と 10 ピンコネクタ 1 個に相当し、

オプション変換基板を利用する場合は、ここがユーザー側基板との接点です。
 この場合はユーザー側基板には 3 つのコネクタ分として 2.54mm ピッチの 35 ピン 2 列の
 スルーホールを設けておき、そこに変換基板を乗せます。
 変換基板の外形サイズは 40mm x 94mm です。(詳細は寸法図をご参照下さい)

2. 添付ファイル

ハードに関連する、以下のファイルが標準で添付されています。

SDRAM 側 FPGA のピン配列	MSSDRAM.ACF
POF ファイル	MSSDRAM.POF
SOF ファイル	MSSDRAM.SOF

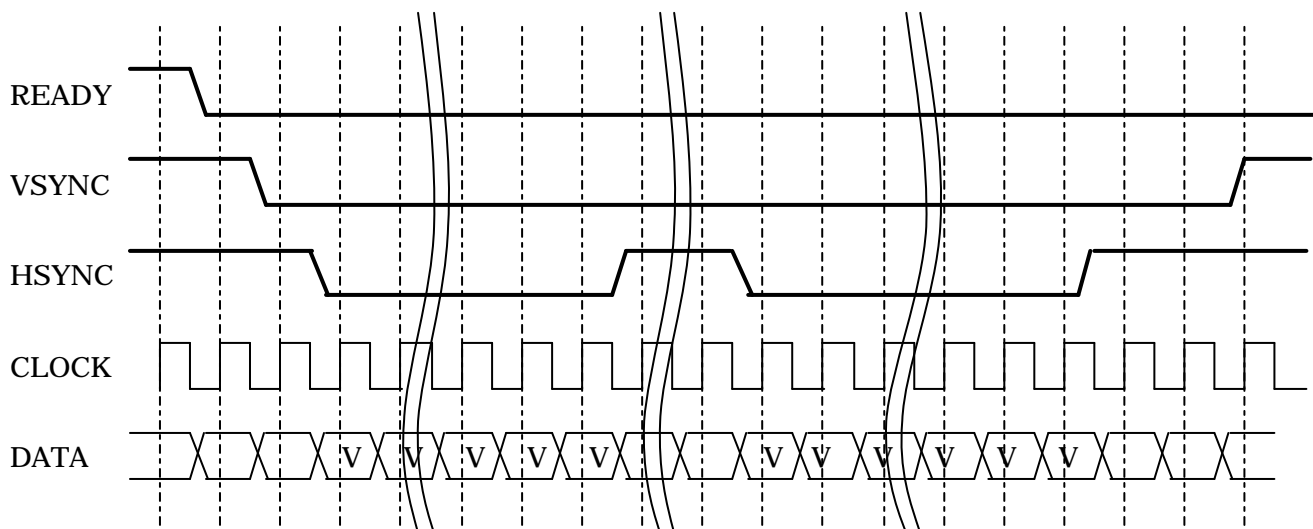
3. 動作説明

3.1. 基本動作

- 1) RESET が Active (Active Low)では、収録アドレス、 「収録可能」, などをリセット、します。
ただし、収録アドレスはソフトから設定することも可能です。
- 2) 「収録可能」にしておけば、下記のタイミングチャートに従い Data を入力、収録します。
- 3) 基本的には、READY、VSYNC、HSYNC がともに Active (Active Low)であるとき Memory への収録動作を行います。
ただし上の3 信号は、コントロールレジスタでそれぞれ有効 無効を設定することができます。
- 4) 転送 CLOCK の立ち上がりでデータをサンプリングします。
- 5) 「その他の制御線」については、API 関数で、設定または読み取りが可能です。
- 6) 外部ステータス信号などで、終了を確認したら、「収録不可」にして、Data を読み出せます。
- 7) 指定の収録データ数に達するれば、自動的に「収録不可」になります。

3.2. タイミングチャート

- 【注意】** 上位、下位 (各 16 ビットデータ)ブロックはそれぞれ独立に制御されていますが、32 ビットでの使用時は上位・下位とも同じ信号 (RESET、READY、VSYNC、HSYNC)を供給して下さい。(使用しない制御線は不要)



3 本の制御信号線 (READY、VSYNC、HSYNC)がすべて Active になった場合、(ただし制御信号はマスクされていないものとする)DATA の “V” 部分が Valid データとして蓄積される。

- 【注意】** DIMM メモリの収録単位数は、8 クロック単位 (*) となります。よって、各信号の Active の AND の成立のクロック数が 8 クロック (*) で区切れない場合でも、そのクロックまで書き込み収録されます。
- (*) これは 32 ビットモードの場合です。16 ビットモードでは 16 クロック単位になります。
- 4.10 reg_Mode をご参照下さい。

3.3. 割り込みについて

2

外部信号の B_READY_b 信号で、PCI へ割り込みを発生させることができます。

INT1 が B_READY_b 信号の立ち下がり(収録の開始側)、INT2 が同じ信号の立ち上がり(終了側)で割り込みが発生します。その割り込みを使用するかどうかは上位 Dll の MSP_SetIMask 関数または MSP_ClearIMask で制御します。

(上位 Dll の MSP_SetCMask 関数によっては、収録条件としての B_READY_b 信号を有効または無効の設定はできますが、割り込みのに対しては関係ありません)

3.4. DIMM メモリについて

実装可能なメモリは、現在、512MBytes、1Gbytes DIMM で 8 枚までですが、
ご購入時のメモリ枚数、種類を動作保証の範囲とさせていただきます。

3.5. 動作速度について

動作速度につきましては、LVDS の Serializer / Deserializer LSI の関係で、最低速度が 20MHz
最高速度が 60MHz クロックまでということになっております。

なお、本ボードにつきましては 33、40MHz での動作確認を致しております。

4. レジスタ

以下のレジスタが、API から操作可能です。PCI バスから見てメモリ空間に割り振られています。「アドレス」とはベースアドレスを除いたオフセット部分のことです。

レジスタ名	アドレス	ビット数	機能
reg_RESET	0x00	1	FPGA のリセット
reg_CMND	0x04	3	コマンド
reg_TR_AD	0x08	32	転送時 先頭アドレス
reg_SV_AD	0x0C	32	収録時 先頭アドレス
reg_TR_SZ	0x10	32	転送時 データサイズ
reg_SV_SZ	0x14	32	収録時 データサイズ
reg_MASK	0x18	6	収録条件外部信号 MASK
reg_STATUS	0x1C	8	外部信号ステータス + 内部状態ステータス
reg_CONT	0x20	4	外部信号制御線
reg_MODE	0x24	4	入力ビット幅設定

4.1. reg_RESET

アドレス	0x00	FPGA のリセット
D15 ~ D1	空き	
D0	RESET	1 SDRAM 側 FPGA の内部リセット、0 :解除

4.2. reg_CMND

アドレス	0x04	コマンド
D15 ~ D4	空き	
D3	REQ	1:入力または出力の転送開始準備、0 転送なし
D2	STORE	1 外部からメモリに収録可能、0 不可
D1	DIR	1 転送時、HOST が入力(メモリ読み出し)、 0 HOST が出力(メモリ書き込み)
D0	TRANS	1 転送開始、0 停止

4.3. reg_TR_AD

アドレス	0x08	転送時 先頭アドレス
D31 ~ D0	TR_AD31 ~ 0	転送時の SDRAM 側の先頭アドレス 32Bytes 単位のバイトアドレスとする。(5 ビット右シフトしたもの)

【注意】最大 8GBytes まで指定するひつようがあったため、32Bytes 単位にしました。

4.4. reg_SV_AD

アドレス	0x0C	収録時 先頭アドレス
D31 ~ D0	SV_AD31 ~ 0	収録時の SDRAM 側の先頭アドレス 32Bytes 単位のバイトアドレスとする。(5 ビット右シフトしたもの)

4.5. reg_TR_SZ

アドレス :0x10	転送時 データサイズ
D31 ~ D0	TR_SZ31 ~ 0
	転送時の転送バイト
	32Bytes 単位のバイトアドレスとする。(5 ビット右シフト)

4.6. reg_SV_SZ

アドレス :0x14	収録時 データサイズ
D31 ~ D0	SV_SZ31 ~ 0
	収録時の転送バイト
	32Bytes 単位のバイトアドレスとする。(5 ビット右シフト)

【注意】このレジスタは現在無効です。入力許可状態 (reg_CMND の D2=1) であれば外部信号の条件が整っていればデータ蓄積します。

4.7. reg_MASK

アドレス :0x18	収録時外部信号 MASK	
D15 ~ D3	空き	
D2	R_MASK	1:READY 信号を Mask する、0:Mask しない
D1	V_MASK	1:VSYNC 信号を Mask する、0:Mask しない
D0	H_MASK	1:HSYNC 信号を Mask する、0:Mask しない

4.8. reg_STATUS

アドレス :0x1C	外部信号ステータス + 内部状態ステータス		
D15 ~ D12	空き		
D11	RESET	入力信号 RESET_b の状態、1ならHigh、0ならLow	3
D10	READY	入力信号 READY_b の状態、1ならHigh、0ならLow	
D9	VSYNC	入力信号 VSYNC_b の状態、1ならHigh、0ならLow	
D8	HSYNC	入力信号 READY_b の状態、1ならHigh、0ならLow	
D7	RESET	入力信号 RESET_a の状態、1ならHigh、0ならLow	3
D6	READY	入力信号 READY_a の状態、1ならHigh、0ならLow	
D5	VSYNC	入力信号 VSYNC_a の状態、1ならHigh、0ならLow	
D4	HSYNC	入力信号 READY_a の状態、1ならHigh、0ならLow	
D3	EXT_IN3	外部からの入力信号 (LVTTL)状態、1ならHigh、0ならLow	
D2	EXT_IN2	外部からの入力信号 (LVTTL)状態、1ならHigh、0ならLow	
D1	EXT_IN1	外部からの入力信号 (LVTTL)状態、1ならHigh、0ならLow	
D0	EXT_IN0	外部からの入力信号 (LVTTL)状態、1ならHigh、0ならLow	

4.9. reg_CONT

アドレス :0x20		外部信号制御線
D15 ~ D4	空き	
D3	EXT_OUT3	外部への出力信号 (LVTTTL)、1で High、0で Low
D2	EXT_OUT2	外部への出力信号 (LVTTTL)、1で High、0で Low
D1	EXT_OUT1	外部への出力信号 (LVTTTL)、1で High、0で Low
D0	EXT_OUT0	外部への出力信号 (LVTTTL)、1で High、0で Low

4.10. reg_MODE

アドレス :0x24		入力ビット幅
D15 ~ 3	空き	
D2	32BIT	1:入力は 32 ビットモード
D1	16BIT	1:入力は 16 ビットモード
D0	8BIT	(1:入力は 8 ビットモード)

【注意】

16 ビットモードでは、外部信号の下位 Word を 4 データをパックして SDRAM に書き込みます。

32 ビットモードでは 2 データをパックして SDRAM に書き込みます。

SDRAM への書き込みは、4Burst Mode を使用しているために、32Bytes 単位での書込みになります。

よって、外部信号の HSYNC、VSYNCREADY などの信号で入力データ数を制御する場合、

32 ビットモードでは 8 クロック、16 ビットモードでは 16 クロック単位に丸められて、データは蓄積されます。その時入力条件が満足していない部分は不定なデータが書き込まれます。

5. コネクタピン配置

上の “1.構成” 中の A、B 部分にあたる 3 つのコネクタです。

5.1. MS-PCI 基板

CN13 (RJ45) (変換基板の CN1 と接続)

1	URXCLK +
2	URXCLK -
3	URXIND1 +
4	URXIND2 +
5	URXIND2 -
6	URXIND1 -
7	URXIND0 +
8	URXIND0 -

CN14 (RJ45) (変換基板の CN2 と接続)

1	LRXCLK +
2	LRXCLK -
3	LRXIND1 +
4	LRXIND2 +
5	LRXIND2 -
6	LRXIND1 -
7	LRXIND0 +
8	LRXIND0 -

CN15 (9pinDSUB) (変換基板の CN3 と接続)

1	CONT0
2	CONT1
3	CONT2
4	CONT3
5	GND
6	STSTUS0
7	STSTUS1
8	STSTUS2
9	STSTUS3

5.2. 変換基板 (オプション)

上の “1.構成” の図の、C 部分にあたるコネクタ (スルーホール) のピン配です。

ユーザー基板側のコネクタ部。

以下の 3 つのコネクタ部分は縦方向に連続しているため、ユーザー基板には 2.54mm ピッチで 35 ピン 2 列のスルーホールを設けて下さい。

CN4			
+3.3V	1	2	GND
XUD0	3	4	XUD1
XUD2	5	6	XUD3
XUD4	7	8	XUD5
XUD6	9	10	XUD7
+3.3V	11	12	GND
XUD8	13	14	XUD9
XUD10	15	16	XUD11
XUD12	17	18	XUD13
XUD14	19	20	XUD15
+3.3V	21	22	GND
XUD16 = UHSYNC	23	24	XUD 17 = UVSYNC
XUD18 = UREADY	25	26	XUD 19 = URESET
XUD 20 = Reserve	27	28	XUCLK
+3.3V	29	30	GND

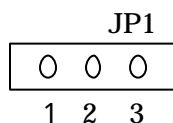
CN5			
+3.3V	1	2	GND
XLD0	3	4	XLD1
XLD2	5	6	XLD3
XLD4	7	8	XLD5
XLD6	9	10	XLD7
+3.3V	11	12	GND
XLD8	13	14	XLD 9
XLD10	15	16	XLD11
XLD12	17	18	XLD13
XLD14	19	20	XLD15
+3.3V	21	22	GND
XLD16 = LHSYNC	23	24	XLD17 = LVSYNC
XLL18 = LREADY	25	26	XLD19 = LRESET
XLL20 = Reserve	27	28	XLCLK
+3.3V	29	30	GND

CN6			
XSTATUS0	1	2	XSTATUS1
XSTATUS2	3	4	XSTATUS3
GND	5	6	GND
XCONT0	7	8	XCONT1
XCONT 2	9	10	XCONT3

2

6. ジャンパー設定

基板上のジャンパー JP1 は以下のように設定する。



1. 通常、SRROM からの Configuration で動作させる場合、1 - 2 をジャンパーする。
2. SRROM (EPC2)に書き込みを行う場合も、1 - 2 をジャンパーする。
3. 開発用 FPGA (EPF10K50)に ByteBruster で Download する場合は 2 - 3 をジャンパーする。
注意) この場合、SRROM (EPC2)は取り外しておくこと。

7. FPGA 設計

1. この MS-PCI 基板は、外部からの入力動作をさせるための機能がすでに組み込まれています。しかし、ユーザーが特殊な機能を設計、実現することもできます。その場合のための JTAG Download 用コネクタを設けてあります。
2. FPGA (EPF10K50EQC)のピン配列は添付の MSSDRAM.ACF ファイルをご参照下さい。

7.1. PCI 側 FPGA とのインターフェース

信号種類	信号名	I/O	機能	
DataBus 制御	DATA[31 :0]	I/O	双方向のデータバス	: マスター動作、ターゲット動作共通 } マスター動作用
	nREQ	O	マスター転送要求	
	nACK	I	マスター転送許可	
	nENB_W	O	受信可能	
	nVLD_W	I	Data Valid	
	CLK_W	I	転送用クロック	
	nENB_R	I	受信可能	
	nVLD_R	O	Data Valid	
	CLK_R	O	転送用クロック	
Address 制御	LA[13 :2]	I	メモリ空間用ローカルアドレスバス	} ターゲット動作用
	nSTRB_W	I	書き込みストロープ	
	nSTRB_R	I	読み出しストロープ	
	INT1	O	割り込み出力 1	} 入力動作
	INT2	O	割り込み出力 2	

I SDRAM 側 FPGA にとって入力信号
O SDRAM 側 FPGA にとって出力信号