

P-PCI ハード仕様書

第三版

株式会社 ファード

変更履歴

1999 8 25

第一版

この仕様書は、予告無く変更されることがありますのでご注意ください。

目 次

ページ

1. 製品仕様	3
1.1. ボード	3
1.2. 概略ブロック図	3
1.3. マスター動作	4
1.4. ターゲット動作	4
1.5. 外部インターフェース	4
2. アドレスマップ	5
2.1. I/O アドレスマップ	5
2.2. メモリアドレスマップ	5
3. レジスタ詳細	6
3.1. 外部バス出力レジスタ	6
3.2. LED レジスタ	6
3.3. SW レジスタ	6
3.4. 転送アドレス	6
3.5. 転送データ数	6
3.6. モードレジスタ	6
3.7. ステータスレジスタ	7
4. ピン配列	8
4.1. 外部コネクタ (CN5)	8
4.2. オプションボード用コネクタ	9
4.2.1. 外部インターフェース側 (CN4)	9
4.2.2. 内部インターフェース側 (CN2)	10
4.3. 使用コネクタ	11
5. オプションボード	11
5.1. 目的	11
5.2. 信号の整合性の注意	11
5.3. 信号レベル	11
5.4. 作成時の注意	11
5.5. サイズ、形状、電流	12
6. 外部信号概要	13
6.1. 制御権とは	13
マスター動作時	13
6.3. ターゲット動作時	13
6.4. クロック出力	13
7. タイミングチャート	14
7.1. マスターモード	14
7.1.1. 外部 > 本ボード	14
7.1.2. 本ボード > 外部	14
8. その他	15
8.1. 接続ケーブル	15
8.2. オプションボード	15

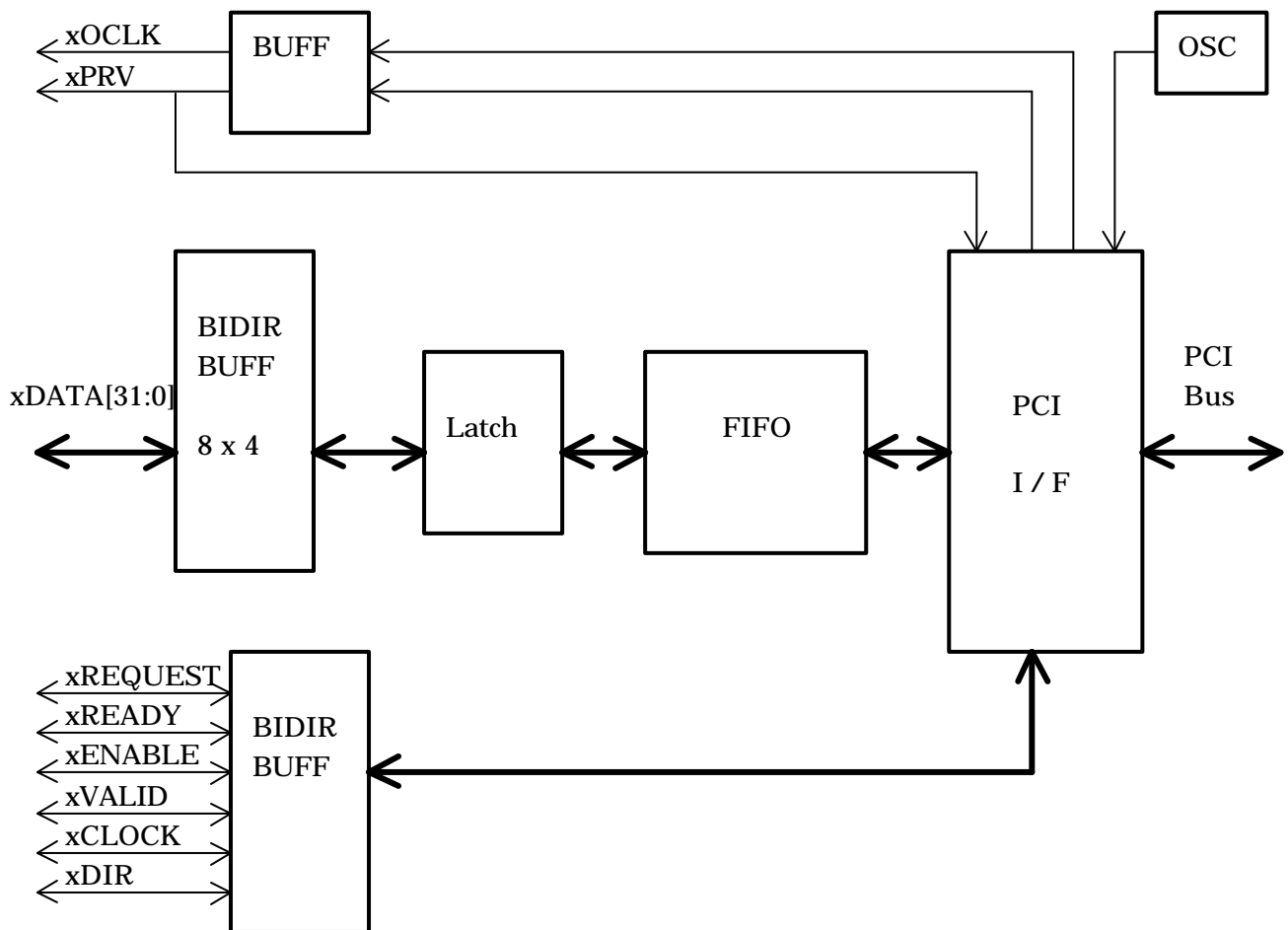
1. 製品仕様

1.1. ボード

パソコン用の PCI 規格のハーフサイズボードである

PCI インターフェース部は小社の仮のベンダー ID が書き込まれていますが、ベンダー ID を書き換えての出荷可能。

1.2. 概略ブロック図



< 図 1 >

1.3. マスター動作

転送スピード： PCI 部では最大瞬間スピード 133Mbytes / sec
 平均スピード 50Mbytes / sec
 外部バスでは最大瞬間スピード 50Mbytes / sec
 平均スピード 50Mbytes / sec
 転送幅： 32 ビットバス
 転送方向： 制御権を獲得している側が、転送方向を決定

*

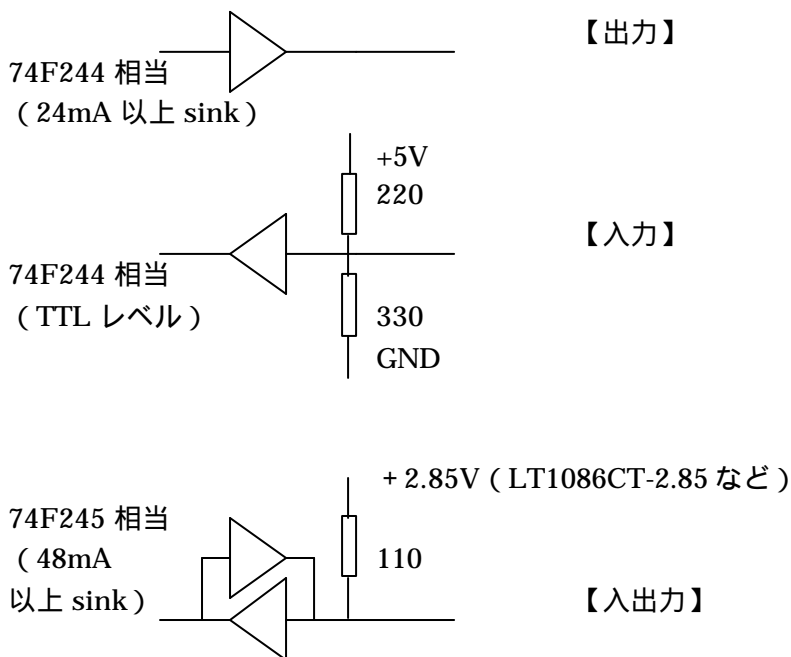
* 詳細は後述の、‘外部信号概要’ および ‘タイミングチャート’ の項を参照のこと。

1.4. ターゲット動作

転送幅： 32 ビットバス
 転送方向： 8 ビット単位で、入出力方向の設定可能
 LED 出力： 基板上に 8 ビットの LED を設置
 DIPSW 入力： 基板上に 8 ビットの DIP SW を設置

1.5. 外部インターフェース

入力、出力とも TTL レベル (74F245 または 74F244 相当)
 後述の xPRVN 信号以外はすべて本基板内部で、+2.85V に 110Ω で Pull Up されている。
 本基板と通信する部分は、以下の回路を推奨。



< 図 2 >

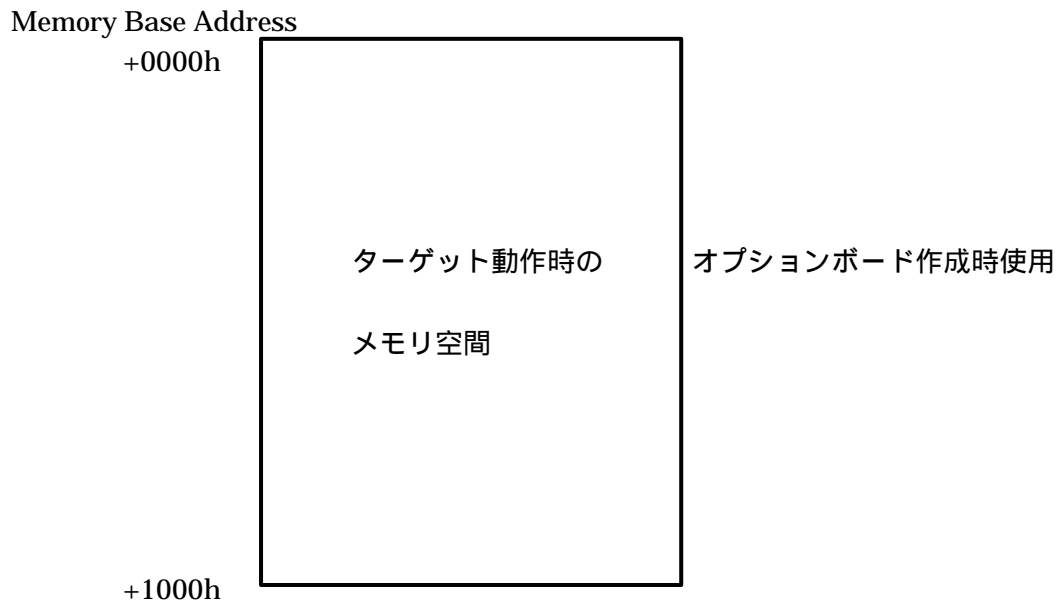
2. アドレスマップ

2.1. I/O アドレスマップ

I/O Base Address	31	0		
+00h	外部バス入出力レジスタ		32 ビット	ターゲット時
+04h	LED レジスタ		On ボードの 8 ビット	ターゲット時
+08h	SW レジスタ		On ボードの 8 ビット	ターゲット時
+0Ch	転送アドレス		PC 側アドレス	マスタ時
+10h	転送データ数		Byte 数で指定	マスタ時
+14h	モードレジスタ			共通
+18h	ステータスレジスタ			共通

< 図 3 >

2.2. メモリアドレスマップ



< 図 4 >

3. レジスタ詳細

3.1. 外部バス出力レジスタ

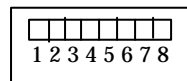
D31 ... D0	32 ビット有効 外部バスの入出力 (正論理) ただしモードレジスタで 8 ビット単位で入出力を設定する。	ターゲット時
------------	---	--------

3.2. LED レジスタ

D31 ... D8	On ボードの 8 ビット 空き	ターゲット時
D7 ... D0	LED へ出力 (1 で点灯)	

3.3. SW レジスタ

D31 ... D9	On ボードの 8 ビット 空き	ターゲット時
D7 ... D0	SW から入力 (ON で 1)	



下側に倒すと ON(1)
1 が LSB(D0)、8 が MSB(D7)

(注意) 下位 4 ビット (上の図の 1~4) は、1 台のパソコンで複数枚の P-PCI ボードを動作させる場合の ID として使用する。

3.4. 転送アドレス

D31 ... D0	PC 側アドレス マスタ転送時の PC 側のバッファ物理アドレス 下位 2 ビットは常時 0 とする。(Double Word 境界)	マスタ時
------------	---	------

3.5. 転送データ数

D31 .. 28	転送データバイト数 空き	マスタ時
D27 ... D0	マスタ転送時の転送バイト数 (Max16M バイト) 下位 2 ビットは常時 0 とする。(Double Word 単位)	

3.6. モードレジスタ

	MODE	共通
D31	MSTSTT	1 でバスマスタ RUN
D30 ... D20		空き
D19	INTCLR	1 で割り込み要因クリア (パルス出力)
D18	RSTTMSK	1 で開始要求割り込みマスク、0 で解除
D17	STPMSK	1 で強制終了割り込みマスク、0 で解除
D16	ENDMSK	1 で正常終了割り込みマスク、0 で解除
D15 ... D9		空き
D8	RUNMOD	0 でターゲットモード (Default) 1 でマスタ(ブロック転送)モード
D7	PRV	0 で本基板が制御権を持つ [DIR、RDY] 1 で外部が制御権を持つ
D6	DIR	制御権を獲得していれば有効 0 で外部バス > PC メモリ (Default) 1 で PC メモリ > 外部バス
D5,4		空き
D3	DIR3	1 で外部ポートの D31 ~ D24 が出力、0 で入力 (Default)
D2	DIR2	1 で外部ポートの D23 ~ D16 が出力、0 で入力 (Default)
D1	DIR1	1 で外部ポートの D15 ~ D8 が出力、0 で入力 (Default)
D0	DIR0	1 で外部ポートの D7 ~ D0 が出力、0 で入力 (Default)

3.7. ステータスレジスタ

	ステータス	共通	
D31	MSTBSY	1でバスマスタ実行中、0で終了停止状態。	
D30 ... D20		空き	
D19	INTCLR	1で割り込み要因クリア (パルス出力)	
D18	RSTTINT	1で転送開始要求割り込み有り	注意 1
D17	STPINT	1で転送強制終了割り込み有り	注意 2
D16	ENDINT	1で転送正常終了割り込み有り	注意 3
D15 ... D9		空き	
D8	RUNMOD	0でターゲットモード、1でマスタモード	
D7	PRV	0で外部が制御権を獲得している、1でしていない。	
D6	DIR	制御権を獲得している時は 1で出力、0で入力 制御権を獲得していない時は 1で入力、0で出力	
D5	B_SENSE	0でオプションボードあり、1でなし	
D4		空き	
D3	REQUEST	ブロック転送時の xREQUEST 信号の状態	1でアクティブ
D2	READY	ブロック転送時の xREADY 信号の状態	1でアクティブ
D1	ENABLE	ブロック転送時の xENABLE 信号の状態	1でアクティブ
D0	VALID	ブロック転送時の xVALID 信号の状態	1でアクティブ

注意 1) RSTTINT ステータスは FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がアクティブになった時

注意 2) STPINT ステータスも FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がインアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がインアクティブになった時
この時ブロック転送も強制的に停止されます。

注意 3) ENDIRT ステータスも FPGA 内部信号ですが、転送データ数レジスタ分の転送が終了した場合、発生する。

4. ピン配列

4.1. 外部コネクタ (CN5)

		I / O			I / O
1	xD0	InOut	35	xD1	InOut
2	xD2	InOut	36	xD3	InOut
3	xD4	InOut	37	xD5	InOut
4	xD6	InOut	38	xD7	InOut
5	GND		39	GND	
6	xD8	InOut	40	xD9	InOut
7	xD10	InOut	41	xD11	InOut
8	xD12	InOut	42	xD13	InOut
9	xD14	InOut	43	xD15	InOut
10	GND		44	GND	
11	xD16	InOut	45	xD17	InOut
12	xD18	InOut	46	xD19	InOut
13	xD20	InOut	47	xD21	InOut
14	xD22	InOut	48	xD23	InOut
15	GND		49	GND	
16	xD24	InOut	50	xD25	InOut
17	xD26	InOut	51	xD27	InOut
18	xD28	InOut	52	xD29	InOut
19	xD30	InOut	53	xD31	InOut
20	GND		54	GND	
21	xVALIDN	InOut	55	GND	
22	xENABLEN	OutIn	56	GND	
23	xREQN	In(Out)	57	GND	
24	xREADYN	Out(In)	58	GND	
25	RESERVE0		59	GND	
26	RESERVE1		60	GND	
27	RESERVE2		61	GND	
28	RESERVE3		62	GND	
29	GND		63	GND	
30	xCLOCK	InOut	64	GND	
31	xDIR	Out(In)	65	GND	
32	xOCLK	Out *1	66	GND	
33	GND		67	GND	
34	xPRVN	Out(In) *2	68	GND	

InOut : Read 時 In で Write 時 Out

OutIn : Read 時 Out で Write 時 In

カッコ内は制御権を持たない(外部が持つ)場合の方向を示す。

(注意)

1. ターゲットモードでは、xD0 ~ xD31 までは 8 ビット単位で入出力の設定が可能
- *1 xOCLK はジャンパーにより出力することができる。
- *2 PRV 制御権信号は PullUp されたワイドオ信号で、常時読み出し可能で、High (相手側が Low に駆動していない状態) の時、出力(Low に駆動)することができる。

4.2. オプションボード用コネクタ

4.2.1. 外部インターフェース側 (CN4)

以下の信号名がついているが、オプションボード作成時は基本的にはすべて自由。ただし 67 ピンの xPRVN のみは、必ず開放にすること。オプションボード使用時は制御権は獲得しているものとして動作する。GND も電源グランドですので信号ラインとしての使用はできない。

これは、前項の外部コネクタピン配列と全く同じだが、ピン番号の読み方が違うので注意すること。

外部コネクタ(68ピン)との信号接続の確認のため、下に示す。

1	xD0	2	xD1
3	xD2	4	xD3
5	xD4	6	xD5
7	xD6	8	xD7
9	GND	10	GND
11	xD8	12	xD9
13	xD10	14	xD11
15	xD12	16	xD13
17	xD14	18	xD15
19	GND	20	GND
21	xD16	22	xD17
23	xD18	24	xD19
25	xD20	26	xD21
27	xD22	28	xD23
29	GND	30	GND
31	xD24	32	xD25
33	xD26	34	xD27
35	xD28	36	xD29
37	xD30	38	xD31
39	GND	40	GND
41	xVALIDN	42	GND
43	xENABLEN	44	GND
45	xREQN	46	GND
47	xREADYN	48	GND
49	RESERVE0	50	GND
51	RESERVE1	52	GND
53	RESERVE2	54	GND
55	RESERVE3	56	GND
57	GND	58	GND
59	xCLOCK	60	GND
61	xDIR	62	GND
63	xOCLK	64	GND
65	GND	66	GND
67	xPRVN	68	GND
69	(N.C)	70	(N.C)
71	(N.C)	72	(N.C)
73	(N.C)	74	(N.C)
75	(N.C)	76	(N.C)
77	(N.C)	78	(N.C)
79	(N.C)	80	(N.C)

4.2.2. 内部インターフェース側 (CN2)

I / O			I / O		
1	A2	In	2	A3	In
3	A4	In	4	A5	In
5	A6	In	6	A7	In
7	A8	In	8	A9	In
9	A10	In	10	A11	In
11	RD	In	12	GND	
13	WR	In	14	GND	
15	MCS	In	16	GND	
17	PRVP	*1	18	GND	
19	PRVN	*1	20	GND	
21	WRIP	*1	22	GND	
23	WRIN	*1	24	+5V	
25	RESERVE4		26	+5V	
27	RESERVE5		28	+5V	
29	RESERVE6		30	+5V	
31	RESERVE7		32	B_SENSE	Out
33	D0	InOut	34	D1	InOut
35	D2	InOut	36	D3	InOut
37	D4	InOut	38	D5	InOut
39	D6	InOut	40	D7	InOut
41	GND		42	GND	
43	D8	InOut	44	D9	InOut
45	D10	InOut	46	D11	InOut
47	D12	InOut	48	D13	InOut
49	D14	InOut	50	D15	InOut
51	GND		52	GND	
53	D16	InOut	54	D17	InOut
55	D18	InOut	56	D19	InOut
57	D20	InOut	58	D21	InOut
59	D22	InOut	60	D23	InOut
61	GND		62	GND	
63	D24	InOut	64	D25	InOut
65	D26	InOut	66	D27	InOut
67	D28	InOut	68	D29	InOut
69	D30	InOut	70	D31	InOut
71	GND		72	GND	
73	VALIDN	InOut	74	GND	
75	ENABLEN	OutIn	76	GND	
77	REQN	Out	78	GND	
79	READYN	In	80	GND	
81	RESERVE0		82	+5V	
83	RESERVE1		84	+5V	
85	RESERVE2		86	+5V	
87	RCLOCK	Out	88	+5V	
89	GND		90	+5V	
91	CLOCK	In	92	GND	
93	DIR	In	94	GND	
95	OCLK	In	96	GND	
97	GND		98	GND	
99	PRVN	*1	100	GND	

In、Out、InOut は、オプションボード側の機能としての入出力である。

(注意)

*1 オプションボード搭載時は、意味を持たない信号線である。

4.3. 使用コネクタ

外部コネクタ (68 ピン)

第一電子工業社製

DHA - RC68 - R131N

基板側

DHA - PC68 - 3G - HPD10

外部ケーブル側 (フード付き)

外部コネクタ側 (80 ピン)

K E L 社製

8 7 B F - 0 8 0 S

基板側

8 7 B M - 0 8 0 S

オプションボード側

F P G A 側 (100 ピン)

K E L 社製

8 7 B F - 1 0 0 S

基板側

8 7 B M - 1 0 0 S

オプションボード側

5. オプションボード

5.1. 目的

外部機器との信号線のレベル変換、制御線の変換、データ幅変換、コネクタのピン番号合わせ、その他、信号の前後処理の実行などが考えられる。また、オプションボードを作成することは本ボードのインターフェースとは異なるインターフェースになると思われるので、基板上のターミネータ RM1~6 の 6 ケはすべて取り外すこと。下の<図 5>部。ターミネータも含めてオプションボード上で回路を設計すること。

5.2. 信号の整合性の注意

オプションボードのためのコネクタは CN2 と CN4 があるが、CN4 は外部コネクタ CN5 と全く同じ信号が接続されている。CN2 は FPGA(U1) と外部 I/F 間の信号のすべてに加え、ターゲットモードでのローカル空間アクセス用のアドレスと MCS、RD、WR 信号が追加している。そこで、制御線、データバスとともに CN2 で整合性を持つように信号線の設計、配置すること。

CN4 は外部機器とオプションボード間接続用として自由に使用できる。(xPRV は使用不可) 下の<図 6>にオプションボードを搭載した時のデータ、制御線のフロー図を示す。

5.3. 信号レベル


すべての信号は TTL レベル ($V_{ih}=2.0$ 、 $V_{il}=0.8$ 、 $V_{oh}=2.4$ 、 $V_{ol}=0.5$)、

駆動電流は、内部コネクタ側(FPGA)は $I_{ol}=+4mA$ 、 $I_{oh}= - 4mA$ 、

外部コネクタ側(74Fxx)は $I_{ol}=+48mA$ 、 $I_{oh}= - 1mA$ 。

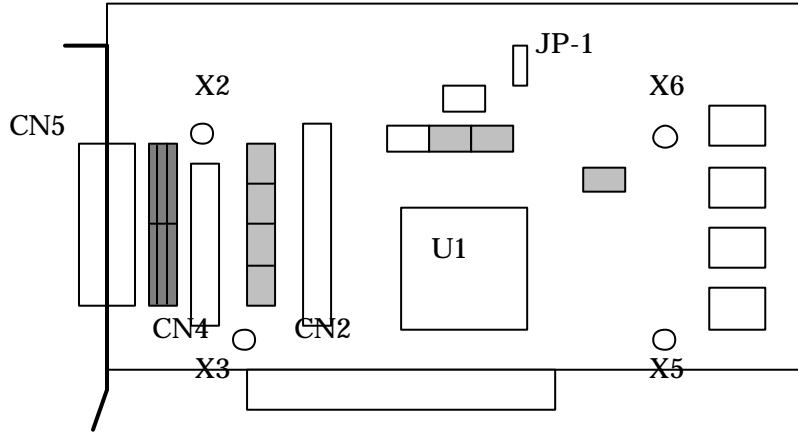
5.4. 作成時の注意

オプションボードを本基板に実装する際は、本基板上にある外部コネクタと FPGA 間にあるデータバッファをディスエーブルにするために B_SENSE 信号を Low にするように設計すること。(オプションボード用コネクタの 100 ピン側(CN2)の 32 ピン)

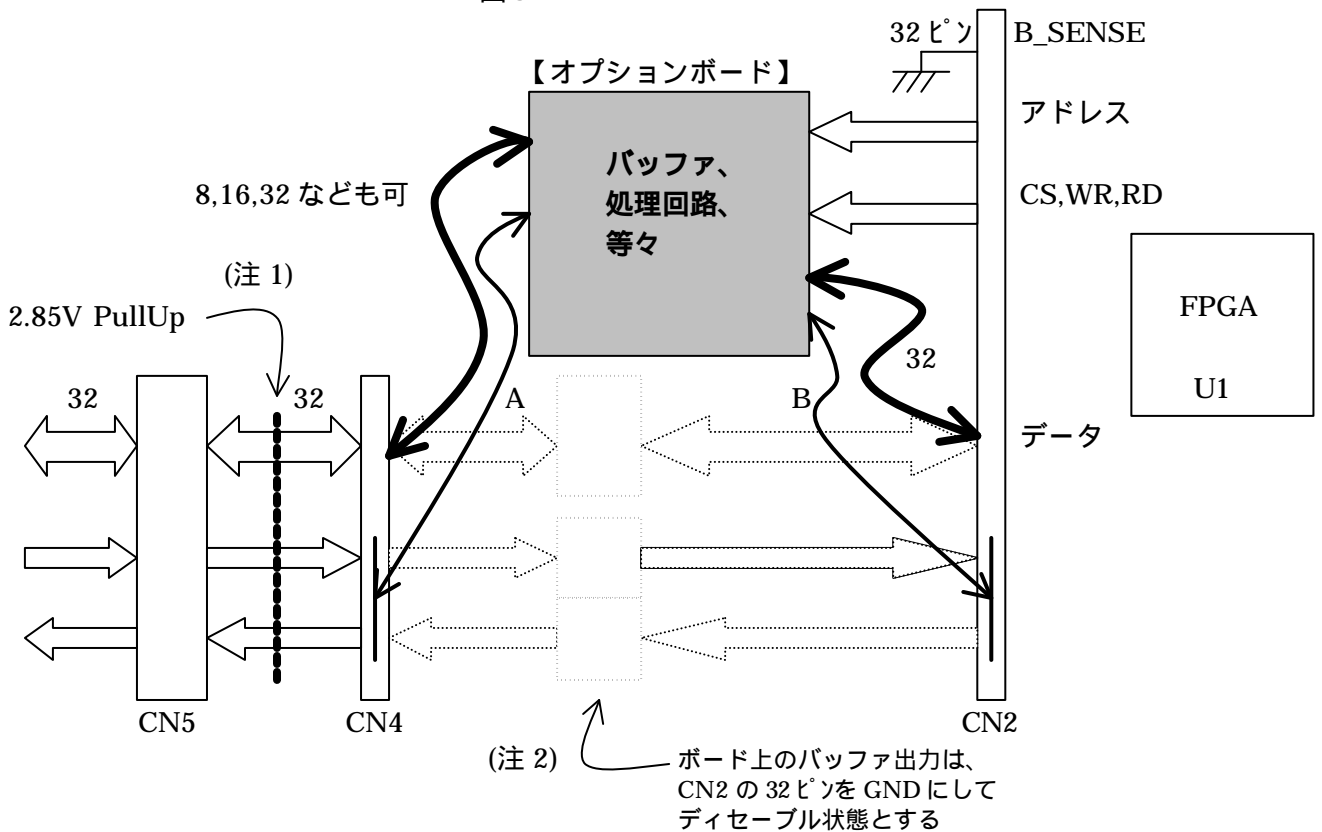
なお、それでも B_SENSE 信号の接触不良などのため本基板上のバッファとオプションボード上のバッファ同士衝突の可能性がある場合、または消費電力を低減させたい場合、本ボード上のバッファを取り除いてもかまわない。その場合の IC 番号は U8~U11(74F245)4 ケと U12~U14(74F244)3 ケの合計 7 個。下の<図 5>の  部の部品。

5.5. サイズ、形状、電流

オプションボードを作成する場合のサイズ、形状は自由だが、本基板上にオプションボードの固定用のビス穴 (X2、X3、X5、X6) が有るのでそれを利用して固定すること。
位置関係などは、添付 (購入時) の基板の資料を参照のこと。
電流は最大 2A とすること。



< 図 5 >



A : 外部からは入力された制御線。
B : オプションボードで作成した制御線。ここで従来の CN5 での外部インターフェース信号に合わせる。

注意 1) オプションボード上に別のターミネータ回路を設置する場合は取り外すこと。
注意 2) このバッファ 7 枚を取り外すことによりボードの消費電流が 1A 程度低減できる。

注意) 外部コネクタ側 (CN5、CN4) の信号線は自由に配置できる。

< 図 6 >

6. 外部信号概要

6.1. 制御権とは

制御権とは、転送方向 (xDIR に出力) を決めることができる権利をいう。特に本ボードの外部から転送方向を制御する必要が無ければ本ボードを '制御権を持つ場合' 側で動作させる。

その時、転送開始要求である xREQUEST は相手側から入力することになる。制御権はマスター転送時のみ有効。制御権を持つとする場合は、xPRV 信号を入力し、外部が制御権を獲得していない(High レベル)ことを確認後に Low レベルにする。制御権の具体的な使用例は '使用例説明書' を参照のこと。

6.2. マスター動作時

制御権を	持つ場合 (通常こちら側で使用)		持たない場合	
	Write (Output)	Read (Input)	Write (Output)	Read (Input)
XOCLK	出力	出力	出力	出力(ジャンパ - JP1 で選択)
XDIR	出力	出力	入力	入力
XREQUEST	入力	入力	出力	出力
XREADY	出力	出力	入力	入力
XENABLE	入力	出力	入力	出力
XVALID	出力	入力	出力	入力
XCLOCK	出力	入力	出力	入力
XDATA	出力	入力	出力	入力

6.3. ターゲット動作時

制御権を持つ持たないとは無関係に以下ようになる。

	Write (Output)	Read (Input)
XOCLK	出力	出力 (ジャンパ - JP-1 で選択)
XREQUEST	無効 (HiZ)	無効 (HiZ)
XREADY	無効 (HiZ)	無効 (HiZ)
XENABLE	無効 (HiZ)	無効 (HiZ)
XCLOCK	無効 (HiZ)	無効 (HiZ)
XVALID	無効 (HiZ)	無効 (HiZ)
XDATA	出力	入力 (注意 1)

注意 1) 8 ビット単位で、モードレジスタにより入出力の設定が可能。

6.4. クロック出力

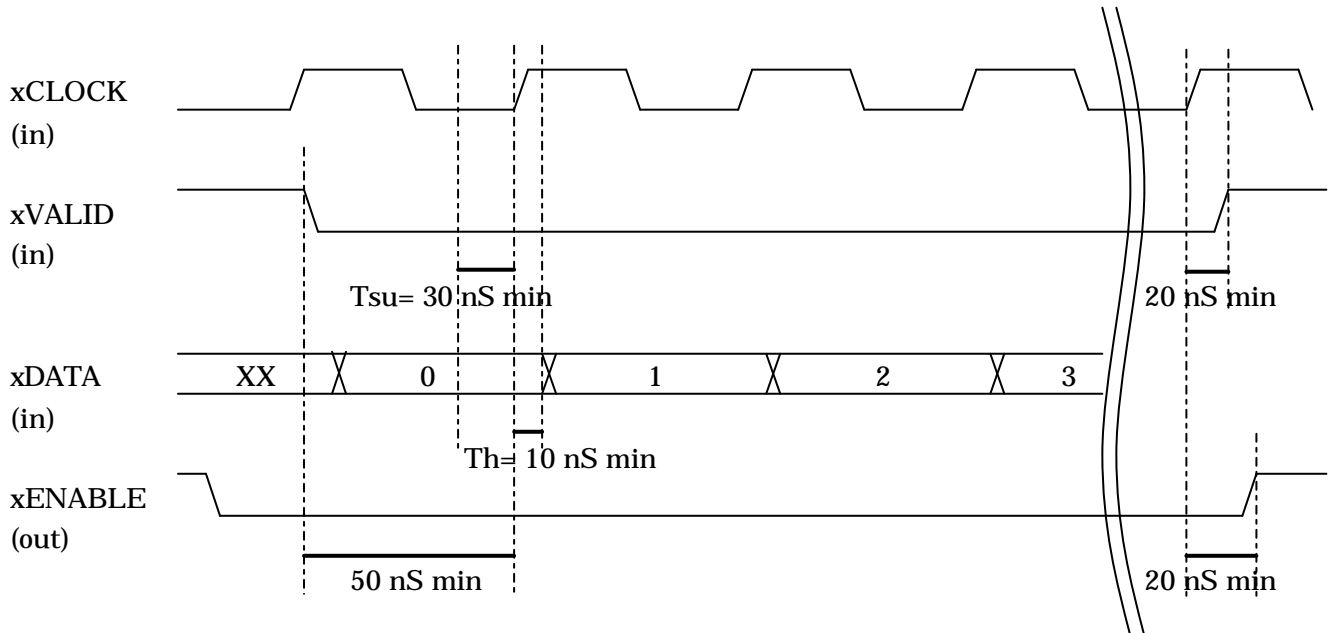
内部クロックを XOCLK ピンに出力させる場合は、JP-1 を ON (ジャンパー) にすること。位置は <図 5> を参照のこと。

7. タイミングチャート

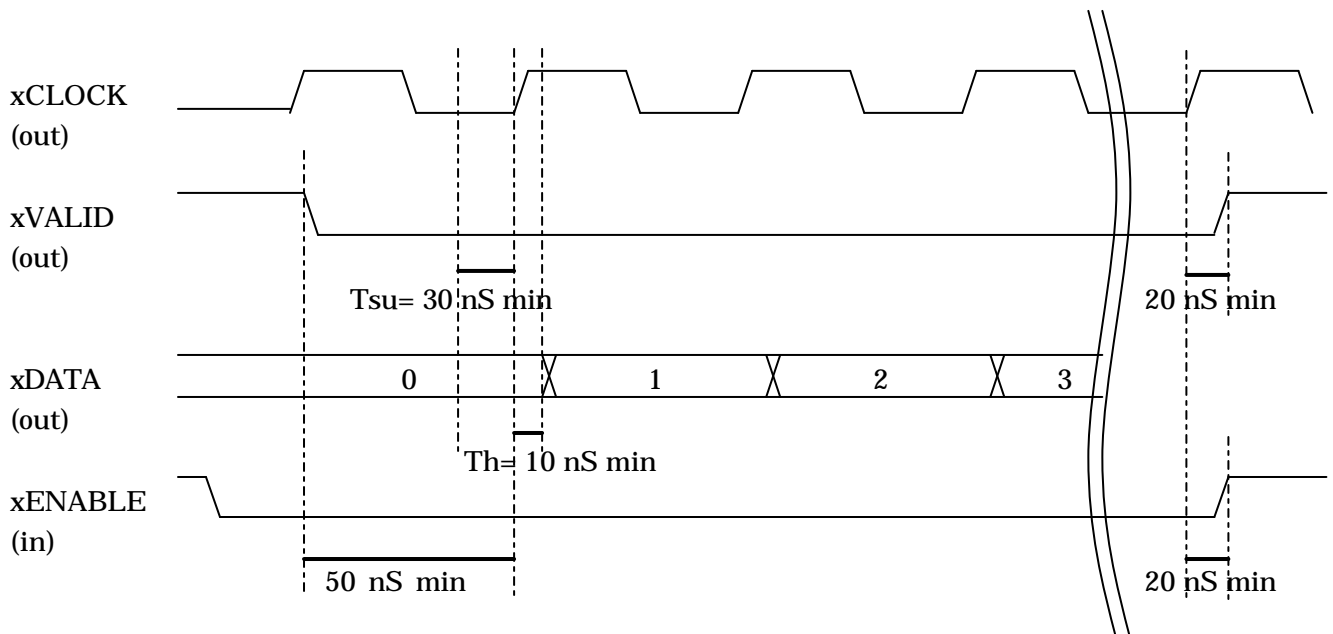
7.1. マスターモード

以下は、xREQUEST も xREADY もアクティブ状態でのタイミングチャートを示す。

7.1.1. 外部 > 本ボード



7.1.2. 本ボード > 外部



8. その他

8.1. 接続ケーブル

オプション扱い。受注生産とする。

両端オスコネクタ、

片端オスコネクタ片端バラ、

片端オスコネクタ片端メスコネクタなど各種の形態がありうる。

さらに、ケーブル長も 1、1.5、2m などがありうる。

8.2. オプションボード

オプション扱い。受注生産とする。

ただし、一般化できるものについては、今後順次、製品化してゆく。

オプションボード側用コネクタ（80 ピン、100 ピン）もオプション扱い。

以 上