

# P-PCIe4- L V (PCI Express 版) ハード仕様書

株式会社 ファード

## 変更履歴

2011.9/23 第一版 外部ブロック入力転送のみ（専用）

2011.11/8 第二版 目次内容の変更

この仕様書は、予告無く変更されることがありますのでご注意ください。

| 目次   | ページ |
|--|-----|
| 1. 品名.....   | 3   |
| 2. 目的.....   | 3   |
| 3. 概要.....   | 3   |
| 4. ブロック図.....  | 3   |
| 5. アドレスマップ.....  | 4   |
| 5 - 1. I/O アドレスマップ.....  | 4   |
| 5 - 2. メモリアドレスマップ.....   | 4   |
| 5 - 3. I/O レジスタ詳細.....   | 5   |
| 5 - 3 - 1. 外部バス出力レジスタ I/O Offset 0x00.....                               | 5   |
| 5 - 3 - 2. LED レジスタ I/O Offset 0x04.....                                 | 5   |
| 5 - 3 - 3. SW レジスタ I/O Offset 0x08.....                                  | 5   |
| 5 - 3 - 4. 転送アドレス I/O Offset x0C.....                                    | 5   |
| 5 - 3 - 5. 転送データ数 I/O Offset 0x10.....                                   | 5   |
| 5 - 3 - 6. モードレジスタ I/O Offset 0x14.....                                  | 5   |
| 5 - 3 - 7. ステータスレジスタ I/O Offset 0x18.....                                | 6   |
| 5 - 3 - 8. 転送データカウンタのリード I/O Offset 0x20 <b>2011.9/23 現在 機能なし。</b> ..... | 6   |
| 6. 外部インターフェース.....   | 7   |
| 6 - 1. バッファ回路.....   | 7   |
| 6 - 2. 外部信号概要.....   | 8   |
| 6 - 2 - 1. 制御権とは.....  | 8   |
| 6 - 2 - 2. マスター動作時.....  | 8   |
| 6 - 2 - 3. ターゲット動作時.....   | 8   |
| 6 - 2 - 4. クロック出力.....   | 9   |
| 6 - 2 - 5. 外部コネクタのピン配列.....  | 9   |
| 6 - 3. タイミング.....  | 11  |
| 6 - 3 - 1. 外部 > 本ボード.....  | 11  |
| 6 - 3 - 2. ボード > 外部( <b>2011.9/23 現在 機能しない。</b> ).....                   | 11  |
| 7. 動作説明.....   | 12  |
| 7 - 1. マスター動作.....   | 12  |
| 7 - 2. ターゲット動作.....  | 12  |
| 8. その他.....  | 12  |
| 8 - 1. 接続ケーブル.....   | 12  |

## 1. 品名

P - PCIe4 - LV ボード

## 2. 目的

PCI Express 4レーン対応で、大容量のデータを高速に受信する為のボードです。  
また、外部インターフェースは、LVDS バッファを搭載しているので、長距離高速データ受信が可能である。

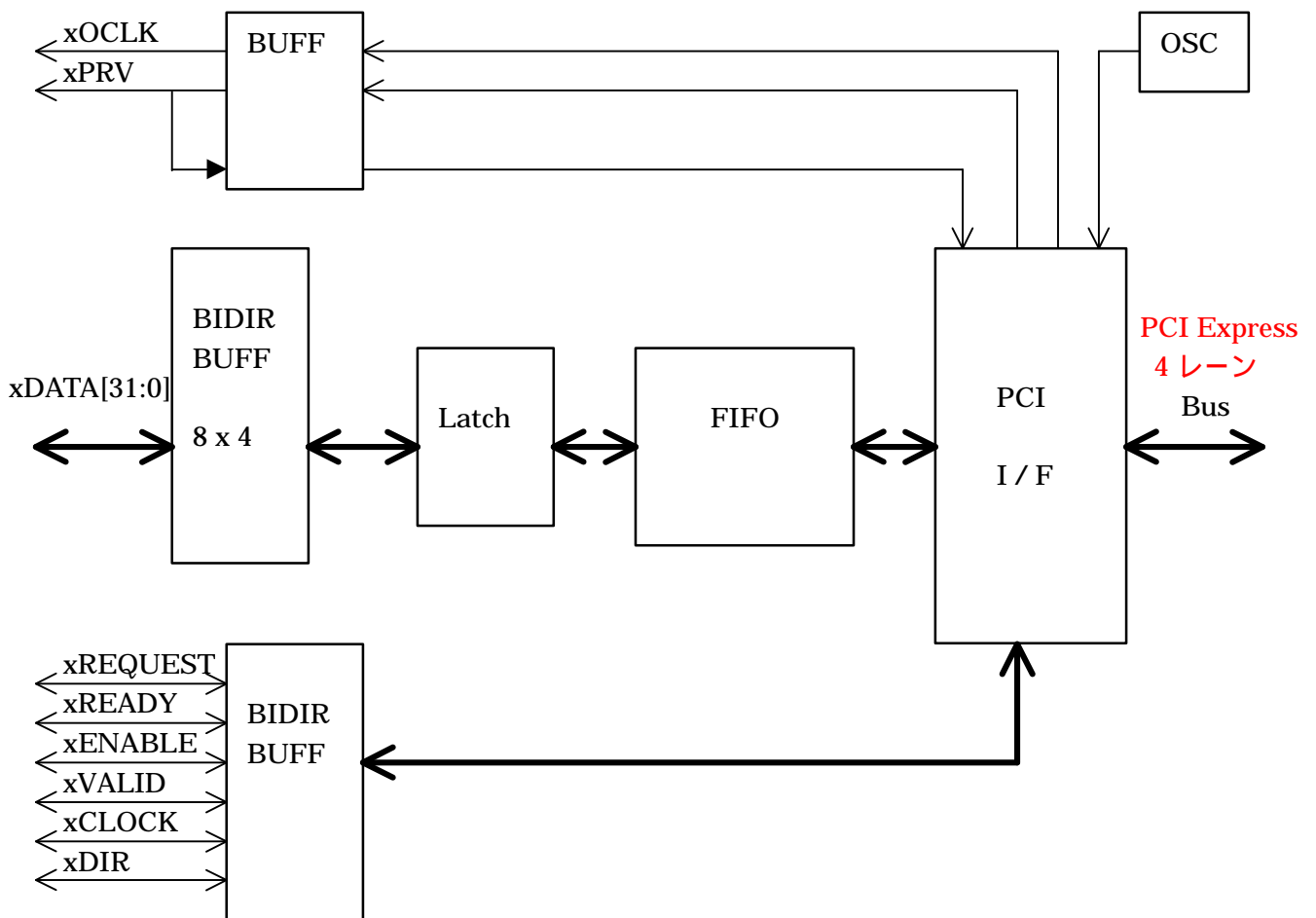
## 3. 概要

弊社 P - PCI - LV ボードと外部インターフェースが同じで、“P - PCI - LV”の PCI Express 版である。

ボードは、パソコン用の PCI 規格のハーフサイズである

PCI インターフェース部は小社の仮のベンダー ID が書き込まれていますが、ベンダー ID を書き換えての出荷可能。

## 4. ブロック図



< 図 1 >

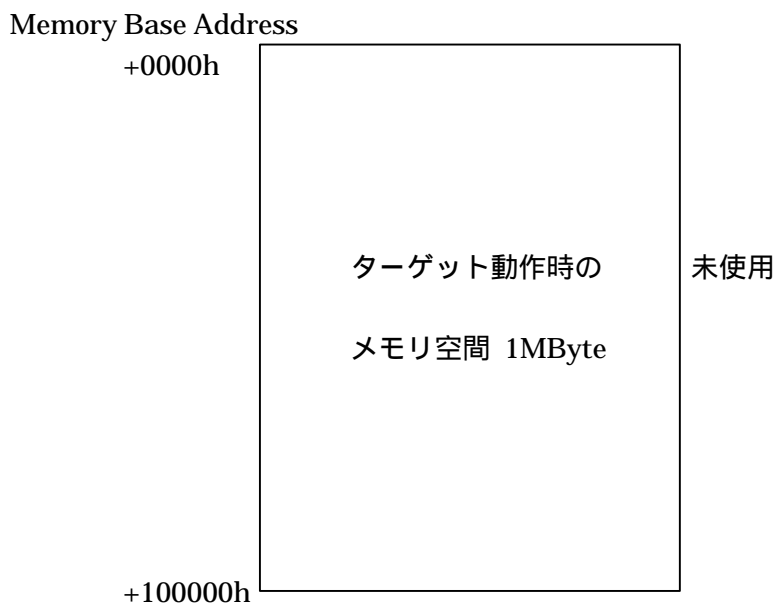
## 5 . アドレスマップ

### 5 - 1 . I/O アドレスマップ

| I/O Offset Address | 31          | 0 |               |        |
|--------------------|-------------|---|---------------|--------|
| +00h               | 外部バス入出力レジスタ |   | 32 ビット        | ターゲット時 |
| +04h               | LED レジスタ    |   | On ボードの 4 ビット | ターゲット時 |
| +08h               | SW レジスタ     |   | On ボードの 8 ビット | ターゲット時 |
| +0Ch               | 転送アドレス      |   | PC 側アドレス      | マスタ時   |
| +10h               | 転送データ数      |   | Byte 数で指定     | マスタ時   |
| +14h               | モードレジスタ     |   |               | 共通     |
| +18h               | ステータスレジスタ   |   |               | 共通     |
| +1Ch               | 未使用         |   |               |        |
| +20h               | 転送カウンター     |   |               | マスタ時   |

< 図 3 >

### 5 - 2 . メモリアドレスマップ



< 図 4 >

## 5 - 3 . I/O レジスタ詳細

## 5 - 3 - 1 . 外部バス出力レジスタ I/O Offset 0x00

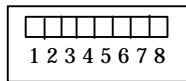
|            |   |        |
|------------|---|--------|
| D31 ... D0 | 32 ビット有効<br>外部バスの入出力 (正論理)<br>ただしモードレジスタで 8 ビット単位で入出力を設定する。 | ターゲット時 |
|------------|---|--------|

## 5 - 3 - 2 . LED レジスタ I/O Offset 0x04

|            |                     |        |
|------------|---------------------|--------|
| D31 ... D4 | On ボードの 4 ビット<br>空き | ターゲット時 |
| D3 ... D0  | LED へ出力 (1 で点灯)     |        |

## 5 - 3 - 3 . SW レジスタ I/O Offset 0x08

|            |                     |        |
|------------|---------------------|--------|
| D31 ... D9 | On ボードの 8 ビット<br>空き | ターゲット時 |
| D7 ... D0  | SW から入力 (ON で 1)    |        |



上側に倒すと ON(1) \*\*スイッチの刻印通り  
1 が LSB(D0)、8 が MSB(D7)

(注意) 下位 4 ビット (上の図の 1~4) は、1 台のパソコンで複数枚の P-PCIe4-LV ボードを動作させる場合の ID として使用する。

## 5 - 3 - 4 . 転送アドレス I/O Offset x0C

|            |   |      |
|------------|---|------|
| D31 ... D0 | PC 側アドレス<br>マスタ転送時の PC 側のバッファ物理アドレス<br>下位 2 ビットは常時 0 とする。(Double Word 境界) | マスタ時 |
|------------|---|------|

## 5 - 3 - 5 . 転送データ数 I/O Offset 0x10

|            |  |      |
|------------|--|------|
| D31 .. 28  | 転送データバイト数<br>空き  | マスタ時 |
| D27 ... D0 | マスタ転送時の転送バイト数 (MAX256Mbyte)<br>下位 2 ビットは常時 0 とする。(Double Word 単位)<br>設定は、 <u>転送バイト数 - 4</u> で行う。 |      |

## 5 - 3 - 6 . モードレジスタ I/O Offset 0x14

|             | MODE    | 共通   |
|-------------|---------|--|
| D31         | MSTSTT  | 1 でバスマスタ RUN   |
| D30 ... D20 |         | 空き   |
| D19         | INTCLR  | 1 で割り込み要因クリア (パルス出力)   |
| D18         | RSTTMSK | 1 で開始要求割り込みマスク、0 で解除   |
| D17         | STPMSK  | 1 で強制終了割り込みマスク、0 で解除   |
| D16         | ENDMSK  | 1 で正常終了割り込みマスク、0 で解除   |
| D15 ... D9  |         | 空き   |
| D8          | RUNMOD  | 0 でターゲットモード (Default)<br>1 でマスタ(ブロック転送)モード                       |
| D7          | PRV     | 0 で本基板が制御権を持つ[DIR、RDY]<br>1 で外部が制御権を持つ                           |
| D6          | DIR     | 制御権を獲得していれば有効<br>0 で外部バス > PC メモリ (Default)<br>1 で PC メモリ > 外部バス |
| D5,4        |         | 空き   |
| D3          | DIR3    | 1 で外部ポートの D31 ~ D24 が出力、0 で入力 (Default)                          |
| D2          | DIR2    | 1 で外部ポートの D23 ~ D16 が出力、0 で入力 (Default)                          |
| D1          | DIR1    | 1 で外部ポートの D15 ~ D8 が出力、0 で入力 (Default)                           |
| D0          | DIR0    | 1 で外部ポートの D7 ~ D0 が出力、0 で入力 (Default)                            |

## 5 - 3 - 7 . ステータスレジスタ I/O Offset 0x18

|             |         | ステータス   | 共通 |          |
|-------------|---------|---|----|----------|
| D31         | MSTBSY  | 1 でバスマスタ実行中、0 で終了停止状態。                                      |    |          |
| D30 ... D20 |         | 空き  |    |          |
| D19         | INTCLR  | 1 で割り込み要因クリア (パルス出力)  |    |          |
| D18         | RSTTINT | 1 で転送開始要求割り込み有り   |    | 注意 1     |
| D17         | STPINT  | 1 で転送強制終了割り込み有り   |    | 注意 2     |
| D16         | ENDINT  | 1 で転送正常終了割り込み有り   |    | 注意 3     |
| D15 ... D9  |         | 空き  |    |          |
| D8          | RUNMOD  | 0 でターゲットモード、1 でマスタモード                                       |    |          |
| D7          | PRV     | 0 で外部が制御権を獲得している、1 でしていない。                                  |    |          |
| D6          | DIR     | 制御権を獲得している時は<br>1 で出力、0 で入力<br>制御権を獲得していない時は<br>1 で入力、0 で出力 |    |          |
| D5          | B_SENSE | 常時 1  |    |          |
| D4          |         | 空き  |    |          |
| D3          | REQUEST | ブロック転送時の xREQUEST 信号の状態                                     |    | 1 でアクティブ |
| D2          | READY   | ブロック転送時の xREADY 信号の状態                                       |    | 1 でアクティブ |
| D1          | ENABLE  | ブロック転送時の xENABLE 信号の状態                                      |    | 1 でアクティブ |
| D0          | VALID   | ブロック転送時の xVALID 信号の状態                                       |    | 1 でアクティブ |

注意 1 ) RSTTINT ステータスは FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がアクティブになった時

注意 2 ) STPINT ステータスも FPGA 内部信号ですが、以下の条件で発生します。

- (1)制御権を獲得している場合、xREQUEST 入力信号がインアクティブになった時
- (2)制御権を獲得していない場合、xREADY 入力信号がインアクティブになった時  
この時ブロック転送も強制的に停止されます。

注意 3 ) ENDIR ステータスも FPGA 内部信号ですが、転送データ数レジスタ分の転送が終了した場合、発生する。

## 5 - 3 - 8 . 転送データカウンタのリード I/O Offset 0x20 2011.9/23 現在 機能なし。

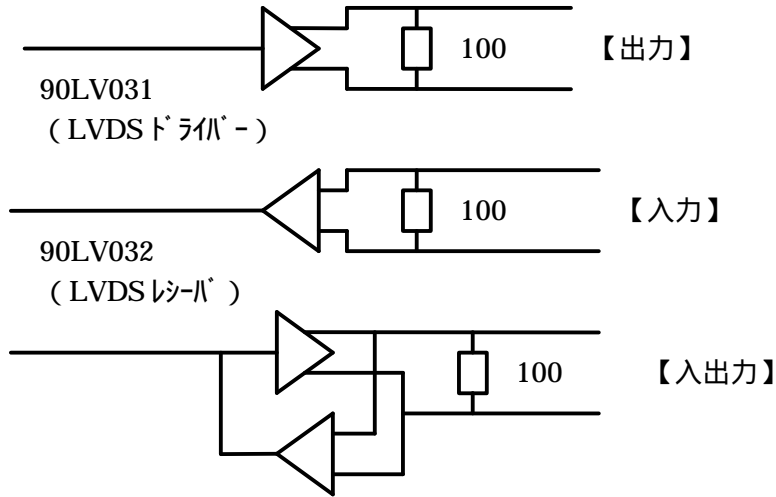
D25 ~ 0 : 転送バイトカウンタレジスタ  
入力及び出力データのカウンタです。  
ビット 0 と 1 は、"0"固定です。

- (注) 転送中リードしたときの値は、保証されません。  
通常は、転送終了した時点でリードしてください。

## 6 . 外部インターフェース

### 6 - 1 . バッファ回路

入力、出力とも LVDS レベル ( 90LV031 及び 90LV032 相当 )、  
すべて本基板内部で、100 Ω で終端されている。  
本基板と通信する部分は、以下の回路になっています。



( 注意 ) 基板上で 100 Ω 終端されています。  
作成基板側でもレシーバ部は 100 Ω 終端して下さい。

< 図 2 >

## 6 - 2 . 外部信号概要

## 6 - 2 - 1 . 制御権とは

制御権とは、転送方向 (xDIR に出力) を決めることができる権利をいう。特に本ボードの外部から転送方向を制御する必要が無ければ本ボードを ' 制御権を持つ場合 ' 側で動作させる。

その時、転送開始要求である xREQUEST は相手側から入力することになる。制御権はマスター転送時のみ有効。制御権を持つとする場合は、xPRV 信号を入力し、外部が制御権を獲得していない(High レベル)ことを確認後に Low レベルにする。制御権の具体的な使用例は ' 使用例説明書 ' を参照のこと。

## 6 - 2 - 2 . マスター動作時

| 制御権を     | 持つ場合 (通常こちら側で使用) |                | 持たない場合           |                |
|----------|------------------|----------------|------------------|----------------|
|          | Write ( Output ) | Read ( Input ) | Write ( Output ) | Read ( Input ) |
| XOCLK    | 出力               | 出力             | 出力               | 出力             |
| XDIR     | 出力               | 出力             | 入力               | 入力             |
| XREQUEST | 入力               | 入力             | 出力               | 出力             |
| XREADY   | 出力               | 出力             | 入力               | 入力             |
| XENABLE  | 入力               | 出力             | 入力               | 出力             |
| XVALID   | 出力               | 入力             | 出力               | 入力             |
| XCLOCK   | 出力               | 入力             | 出力               | 入力             |
| XDATA    | 出力               | 入力             | 出力               | 入力             |
| XPRV     | 出力               | 出力             | 入力               | 入力             |

XPRV (制御権) 信号を使用しない場合は、コネクタ部の信号 XPRV<sub>±</sub> は N.C として下さい。本ボードが制御権を取り XPRV をアクティブ (Low) にします。

## 6 - 2 - 3 . ターゲット動作時

制御権を持つ持たないとは無関係に以下のようなになる。

|          | Write ( Output ) | Read ( Input ) |
|----------|------------------|----------------|
| XOCLK    | 出力               | 出力             |
| XREQUEST | 無効 ( HiZ )       | 無効 ( HiZ )     |
| XREADY   | 無効 ( HiZ )       | 無効 ( HiZ )     |
| XENABLE  | 無効 ( HiZ )       | 無効 ( HiZ )     |
| XCLOCK   | 無効 ( HiZ )       | 無効 ( HiZ )     |
| XVALID   | 無効 ( HiZ )       | 無効 ( HiZ )     |
| XDATA    | 出力               | 入力 (注意 1)      |

注意 1) 8 ビット単位で、モードレジスタにより入出力の設定が可能。



## 6 - 2 - 4 クロック出力

内部クロックを XOCLK ピンに、常時出力されている。

## 6 - 2 - 5 . 外部コネクタのピン配列

| 差動 + 側 | コネクタピン番号 |    | 差動 - 側 | I / O |
|--------|----------|----|--------|-------|
| XD00 + | 1        | 49 | XD00 - | InOut |
| XD01 + | 2        | 50 | XD01 - | ↓     |
| XD02 + | 3        | 51 | XD02 - |       |
| XD03 + | 4        | 52 | XD03 - |       |
| XD04 + | 5        | 53 | XD04 - |       |
| XD05 + | 6        | 54 | XD05 - |       |
| XD06 + | 7        | 55 | XD06 - |       |
| XD07 + | 8        | 56 | XD07 - |       |
| XD08 + | 9        | 57 | XD08 - | ↓     |
| XD09 + | 10       | 58 | XD09 - | InOut |
| GND    | 11       | 59 | GND    | GND   |
| XD10 + | 12       | 60 | XD10 - | InOut |
| XD11 + | 13       | 61 | XD11 - | ↓     |
| XD12 + | 14       | 62 | XD12 - |       |
| XD13 + | 15       | 63 | XD13 - |       |
| XD14 + | 16       | 64 | XD14 - |       |
| XD15 + | 17       | 65 | XD15 - |       |
| XD16 + | 18       | 66 | XD16 - |       |
| XD17 + | 19       | 67 | XD17 - |       |
| XD18 + | 20       | 68 | XD18 - | ↓     |
| XD19 + | 21       | 69 | XD19 - | InOut |
| GND    | 22       | 70 | GND    | GND   |
| XD20 + | 23       | 71 | XD20 - | InOut |
| XD21 + | 24       | 72 | XD21 - | ↓     |
| XD22 + | 25       | 73 | XD22 - |       |
| XD23 + | 26       | 74 | XD23 - |       |
| XD24 + | 27       | 75 | XD24 - |       |
| XD25 + | 28       | 76 | XD25 - |       |
| XD26 + | 29       | 77 | XD26 - |       |
| XD27 + | 30       | 78 | XD27 - |       |
| XD28 + | 31       | 79 | XD28 - |       |
| XD29 + | 32       | 80 | XD29 - |       |
| XD30 + | 33       | 81 | XD30 - | ↓     |
| XD31 + | 34       | 82 | XD31 - | InOut |
| GND    | 35       | 83 | GND    | GND   |

次ページに続く

|            |    |    |            |            |
|------------|----|----|------------|------------|
| XVALID +   | 36 | 84 | XVALID -   | InOut      |
| XENABLE +  | 37 | 85 | XENABLE -  | OutIn      |
| XREQUEST + | 38 | 86 | XREQUEST - | In ( Out ) |
| XREADY +   | 39 | 87 | XREADY -   | Out ( In ) |
| N.C        | 40 | 88 | N.C        |            |
| N.C        | 41 | 89 | N.C        |            |
| N.C        | 42 | 90 | N.C        |            |
| N.C        | 43 | 91 | N.C        |            |
| GND        | 44 | 92 | GND        | GND        |
| XCLOCK +   | 45 | 93 | XCLOCK -   | OutIn      |
| XDIR +     | 46 | 94 | XDIR -     | Out ( In ) |
| XOCLK +    | 47 | 95 | XOCLK -    | Out        |
| XPRV +     | 48 | 96 | XPRV -     | Out ( In ) |

InOut : Read 時 In で Write 時 Out

OutIn : Read 時 Out で Write 時 In

カッコ内は制御権を持たない(外部が持つ)場合の方向を示す。

(注意)

- 1 . ターゲットモードでは、xD0 ~ xD31 までは 8 ビット単位で入出力の設定が可能
- \*1 xOCLK は、25MHz が常時出力されている。(ブロック転送出力時、使用する。)
- \*2 PRV 制御権信号は、High (相手側が Low に駆動していない状態) の時、出力(Low に駆動)することができる。

使用コネクタ

本多通信工業社製

PCR-E96LMD

PCR-E96FA

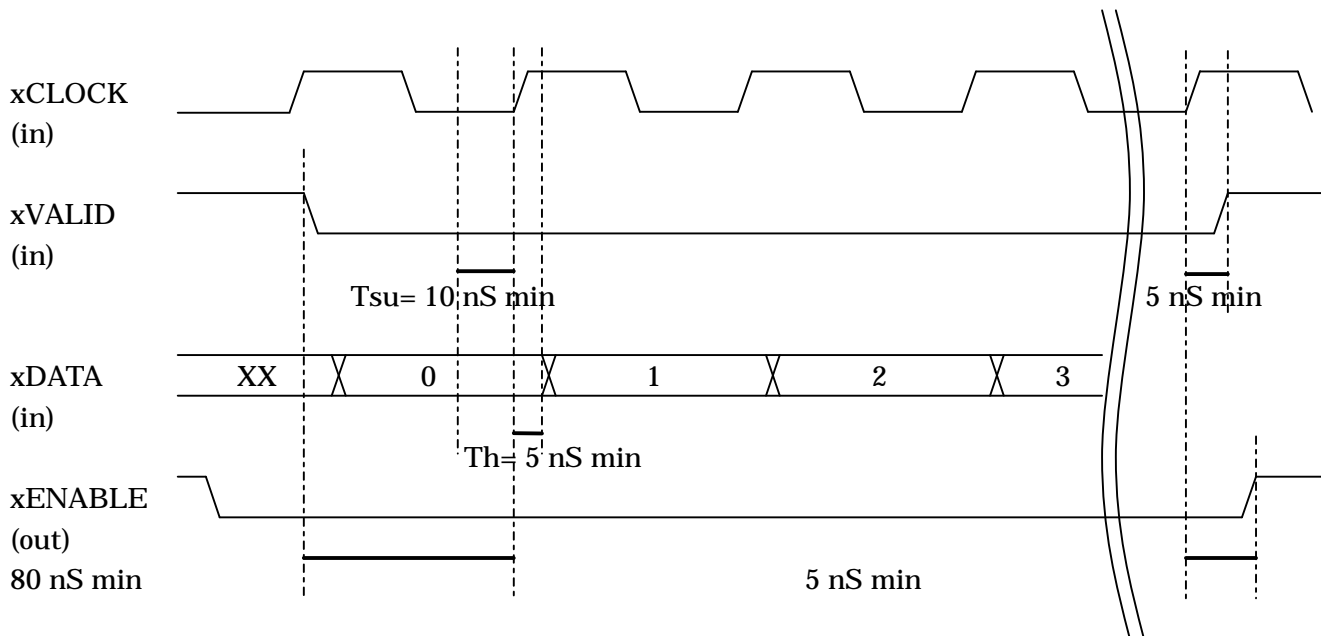
基板側

外部ケーブル側

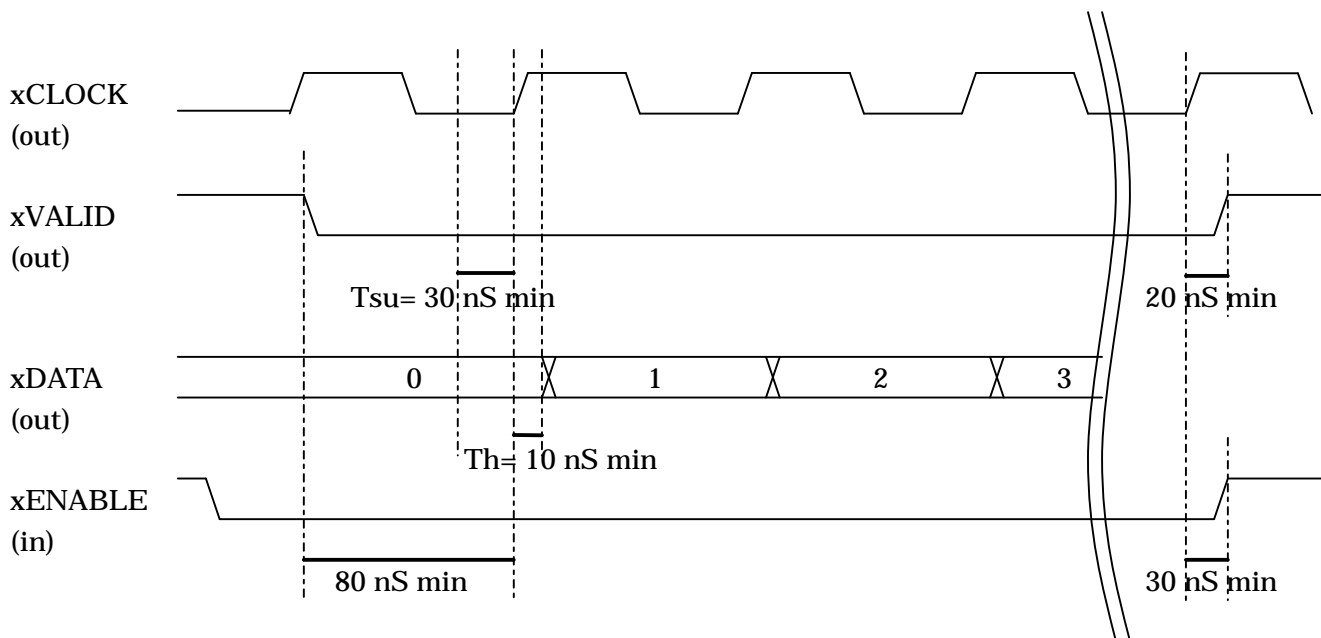
6 - 3 . タイミング

以下は、xREQUEST も xREADY もアクティブ状態でのタイミングチャートを示す。

6 - 3 - 1 . 外部 > 本ボード



6 - 3 - 2 . ボード > 外部(2011.9/23 現在 機能しない。)



## 7 . 動作説明

### 7 - 1 . マスター動作

転送スピード： 外部バス 入力：xCLOCK 30MHz 可能  
出力：2011 . 9/23 現在 不可（ブロック出力回路がないため。）  
転送幅： データ 32 ビット。  
転送方向： 制御権を獲得している側が、転送方向を決定。

\* 詳細は、'外部信号概要' および 'タイミングチャート' の項を参照のこと。

### 7 - 2 . ターゲット動作

転送幅： データ 32 ビット。  
転送方向： 8 ビット単位で、入出力方向の設定可能  
LED 出力： 基板上に **4 ビットの LED** を設置  
DIPSW 入力： 基板上に 8 ビットの DIP SW を設置

## 8 . その他

### 8 - 1 . 接続ケーブル

オプション扱い。受注生産とする。  
両端メスコネクタ、  
片端メスコネクタ片端バラ、  
さらに、ケーブル長 2、5、10 m があります。